

9

PRZETWORNIKI ANALOGOWO-CYFROWE I CYFROWO - ANALOGOWE

9.1. WPROWADZENIE

Rozwój układów i systemów elektronicznych niemal od początku ich istnienia następował w dwu głównych kierunkach - techniki analogowej i cyfrowej. W początkowym okresie rozwoju elektroniki dominowała technika analogowa, co wynika z faktu, że jedną z pierwszych, obok telekomunikacji, zastosowań elektroniki była metrologia, zaś większość sygnałów generowanych w przetwornikach pomiarowych ma charakter analogowy. Z drugiej strony możliwości integracyjne ówczesnych technologii były niewielkie – a system cyfrowy oferujący wyłącznie proste operacje logiczne i arytmetyczne był mało atrakcyjny.

Obecnie, dzięki postępowi w technologii scalonych i masowej produkcji układów wielkiej skali integracji obserwuje się dominację metod cyfrowego przetwarzania sygnałów - przynajmniej w zakresie częstotliwości do kilkunastu-kilkudziesięciu megaherców. Wyższość metod cyfrowych polega z jednej strony na większej dokładności i odporności na zakłócenia, ale przede wszystkim na dużej elastyczności układowej gdyż zmiany algorytmu przetwarzania mogą być dokonywane programowo przy takiej samej implementacji fizycznej. Mimo tego układy analogowe odgrywają nadal ważną rolę w systemach elektronicznych, a niemal wszystkie wykonywane w praktyce specjalizowane układy scalone na zamówienie (ASIC) są układami łączącymi w sobie część analogową i cyfrową (ang. *mixed signal*)

Zadaniem przetworników analogowo cyfrowych (A/C lub z angielskiego ADC - *Analog to Digital Converter*) jest przetwarzanie sygnału analogowego na równoważny mu sygnał cyfrowy, a przetworniki cyfrowo-analogowe (C/A, DAC - *Digital to Analog Converter*) pełnią funkcję odwrotną, gdyż na podstawie informacji cyfrowej odtwarzają sygnał analogowy. Zainteresowanie tą klasą układów (w języku angielskim określanej wspólnie jako *data converters*) systematycznie wzrasta, ponieważ znajdują one szerokie zastosowanie w miernictwie elektronicznym, systemach transmisyjnych, układach czasu rzeczywistego, a ostatnio coraz częściej w sprzęcie powszechnego użytku (odtwarzacze kompaktowe, systemy TV cyfrowej, telefonii przenośnej).

Analiza działania układów A/C i C/A jako urządzeń znajdujących się na pograniczu dwu światów - analogowego i cyfrowego jest bardzo pouczająca, gdyż pokazuje, że cyfryzacja jest swego rodzaju konwencją dotyczącą poziomu szczegółowości reprezentacji sygnału - podczas gdy elektronika jako taka jest jedna. Ostatecznie w układach cyfrowych wykorzystywane są generalnie takie same elementy jak w analogowych a jak to trafnie ujął B. Gilbert układy cyfrowe w istocie są układami analogowymi aczkolwiek pracują w małym lub większym przesterowaniu.

9.2. KWANTYZACJA, KODOWANIE I PRÓBKOWANIE SYGNAŁÓW

Przetwarzanie sygnału analogowego $x(t)$ na sygnał cyfrowy polega przede wszystkim na dyskretyzacji jego wartości czyli kwantyzacji oraz kodowaniu wartości skwantowanej. Operacje te występują zawsze w przetwarzaniu A/C, nawet dla sygnałów stałych i wolnozmiennych. Dla sygnałów szybkozmiennych bardzo istotnym zagadnieniem staje się również operacja próbkowania, czyli dyskretyzacji sygnału w czasie, które niekoniecznie musi występować łącznie z dyskretyzacją wartości sygnału (przykładem techniki operującej na sygnale analogowym w dziedzinie czasu dyskretnego jest technika przełączanych pojemności - *switched capacitor* SC).

9.2.1. Kwantyzacja

Próba przedstawienia wielkości analogowej, mogącej przyjmować nieskończenie wiele wartości, w postaci cyfrowej pociąga za sobą problem odwzorowania nieskończonego zbioru wartości na zbiór skończony, którego liczebność jest nie większa od liczby słów kodowych, jakie mogą wystąpić w reprezentacji cyfrowej. Rozwiązaniem jest tu kwantyzacja czyli przyporządkowanie każdej wartości sygnału analogowego skwantowanej wartości dyskretnej. Najczęściej stosuje się kwantowanie równomierne, które można opisać wzorem

$$L = \text{ent} \left(\frac{u_{IN}}{\Delta} + \frac{1}{2} \right) \quad (9.1)$$

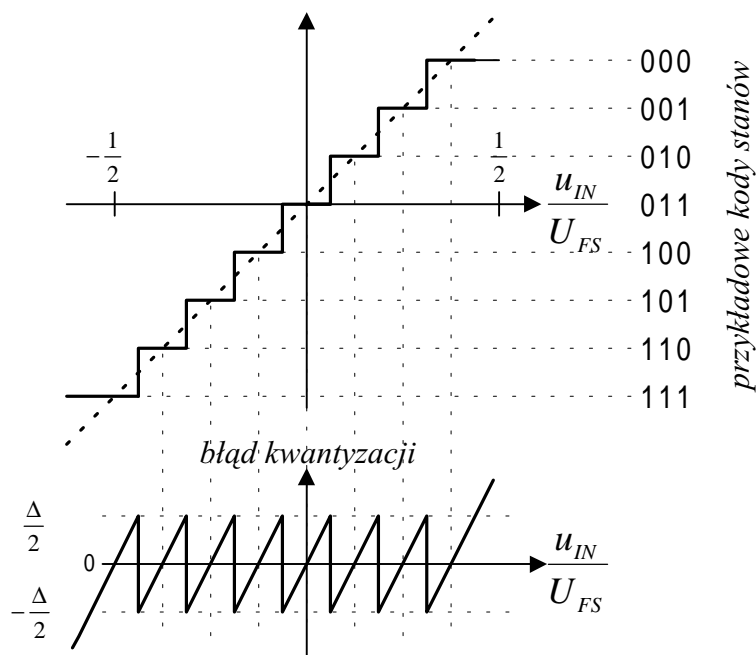
gdzie: L - liczba całkowita na wyjściu przetwornika,

u_{IN} - wartość sygnału analogowego na wejściu,

Δ - elementarny przedział (ziarno) kwantyzacji - zakres

wartości zmiennej wejściowej odpowiadający jednej wartości L ; określa on jednocześnie sens fizyczny najmniej znaczącego bitu (LSB - *Least Significant Bit*) i często jest z nim utożsamiany, ent - operator części całkowitej liczby rzeczywistej.

Oczywiście każdy rzeczywisty przetwornik A/C ma skończony zakres dopuszczalnego sygnału wejściowego oznaczany zazwyczaj jako U_{FS} , (od *Full Scale* - ang. pełny zakres); charakterystyka rzeczywistego przetwornika z kwantowaniem równomiernym jest pokazana na rys.9.1.



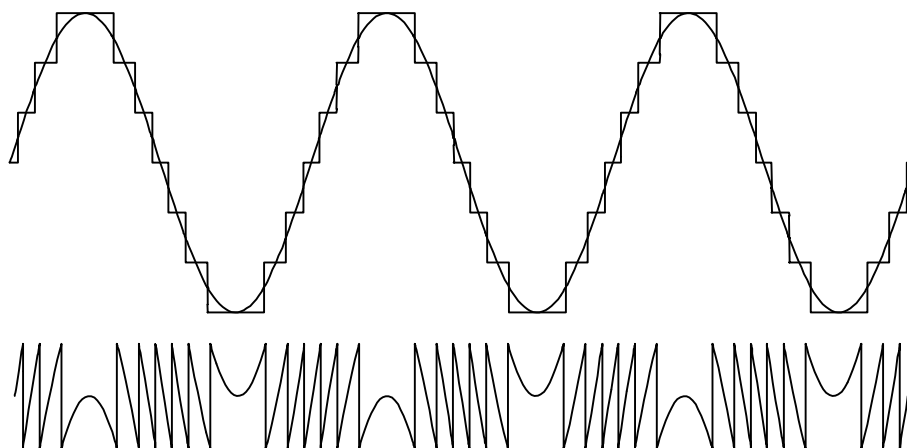
Rys.9.1 Idealna charakterystyka trzybitowego bipolarnego przetwornika A/C oraz ilustracja błędu kwantyzacji

Zwróćmy uwagę, że odwzorowanie o którym mówimy nie jest wzajemnie jednoznaczne (odwracalne!), to znaczy jednej reprezentacji cyfrowej odpowiada przedział wartości analogowych. Zatem w procesie przetwarzania powstaje nieuniknione zniekształcenie zwane błędem kwantyzacji zilustrowane w dolnej części rys.9.1. Błąd kwantyzacji jest konsekwencją (i miarą) skończonej zdolności rozdzielczej przetwornika i mógłby zostać zredukowany do zera tylko gdyby ilość bitów kodu wyjściowego zmierzała do nieskończoności. Błąd kwantyzacji może być rozpatrywany jako dodatkowe źródło zakłóceń i często bywa traktowany jako addytywny szum. Przypomnijmy tutaj, że przyczyną występowania szumów w układach elektronicznych jest nie co innego jak nieciągły (kwantowy!) charakter procesów transportu nośników ładunku elektrycznego w metalach i półprzewodnikach. Traktowanie więc błędu kwantyzacji jako szumu jest dość naturalne zważywszy na mechanizm zjawiska, tym niemniej takie podejście i związane z tym korzystanie z aparatu pojęciowego analizy szumów jest uprawnione, jeżeli

spełnionych jest kilka warunków:

1. wszystkie poziomy wyjściowe są osiągane z jednakowym prawdopodobieństwem;
2. kwantowanie jest równomierne;
3. błąd kwantyzacji nie jest skorelowany z sygnałem wejściowym;
4. użyta jest dostatecznie duża liczba poziomów kwantyzacji.

W praktycznych sytuacjach warunki te mogą nie być ściśle spełnione. Przykładem jest tu dość silna korelacja błędu kwantyzacji z sygnałem (związana z małą liczbą poziomów kwantyzacji) zilustrowana na rys.9.2.



Rys.9.2 Korelacja błędu kwantyzacji z wartością sygnału przy przetwarzaniu sinusoidy w przypadku dużego ziarna kwantyzacji

Osobnym problemem jest korelacja sygnału i błędu gdy sygnał wejściowy przekracza zakres przetwornika. Zauważmy, że wtedy także błąd kwantyzacji staje się większy od $\Delta/2$ (por. rys.9.1).

Tak jak dla klasycznych układów analogowych, dla przetworników A/C miarą ich dynamiki i zdolności rozdzielczej jest stosunek sygnału do szumu. Jeżeli poszczególne poziomy wyjściowe przetwornika są w pewnym przedziale czasu osiągane z jednakowym prawdopodobieństwem, to szum kwantyzacji ma rozkład jednorodny o gęstości

$$p(e) = \begin{cases} \frac{1}{\Delta} & e \in \left[-\frac{\Delta}{2}, \frac{\Delta}{2}\right] \\ 0 & e \notin \left[-\frac{\Delta}{2}, \frac{\Delta}{2}\right] \end{cases} \quad (9.2)$$

a zatem średnia moc szumu kwantyzacji wynosi

$$P_n = \int_{-\infty}^{\infty} e^2 p(e) de = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12} \quad (9.3)$$

Z kolei średnia moc sygnału sinusoidalnego o wartości międzyszczytowej równej pełnemu zakresowi przetwornika (maksymalny użyteczny sygnał) jest równa

$$P_s = \frac{U_{FS}^2}{8} \quad (9.4)$$

Ponieważ pomiędzy ziarnem kwantyzacji a pełnym zakresem zachodzi związek

$$\Delta = \frac{U_{FS}}{2^n} \quad (9.5)$$

w którym n jest ilością bitów przetwornika, to stosunek sygnał/szum można wyrazić jako

$$SNR = 10 \log \frac{P_s}{P_n} = 10 \log \frac{\frac{U_{FS}^2}{8}}{\frac{U_{FS}^2}{12 \cdot 2^n}} = 6,2 \cdot n + 1,76 \quad [\text{dB}] \quad (9.6)$$

Dla przebiegu trójkątnego, dla którego przybliżenie „szumowe”, błędu kwantyzacji jest bardziej uprawnione (por. rys.9.1 i 9.2) stosunek ten jest równy

$$SNR = 6,02 \cdot n \quad [\text{dB}] \quad (9.7)$$

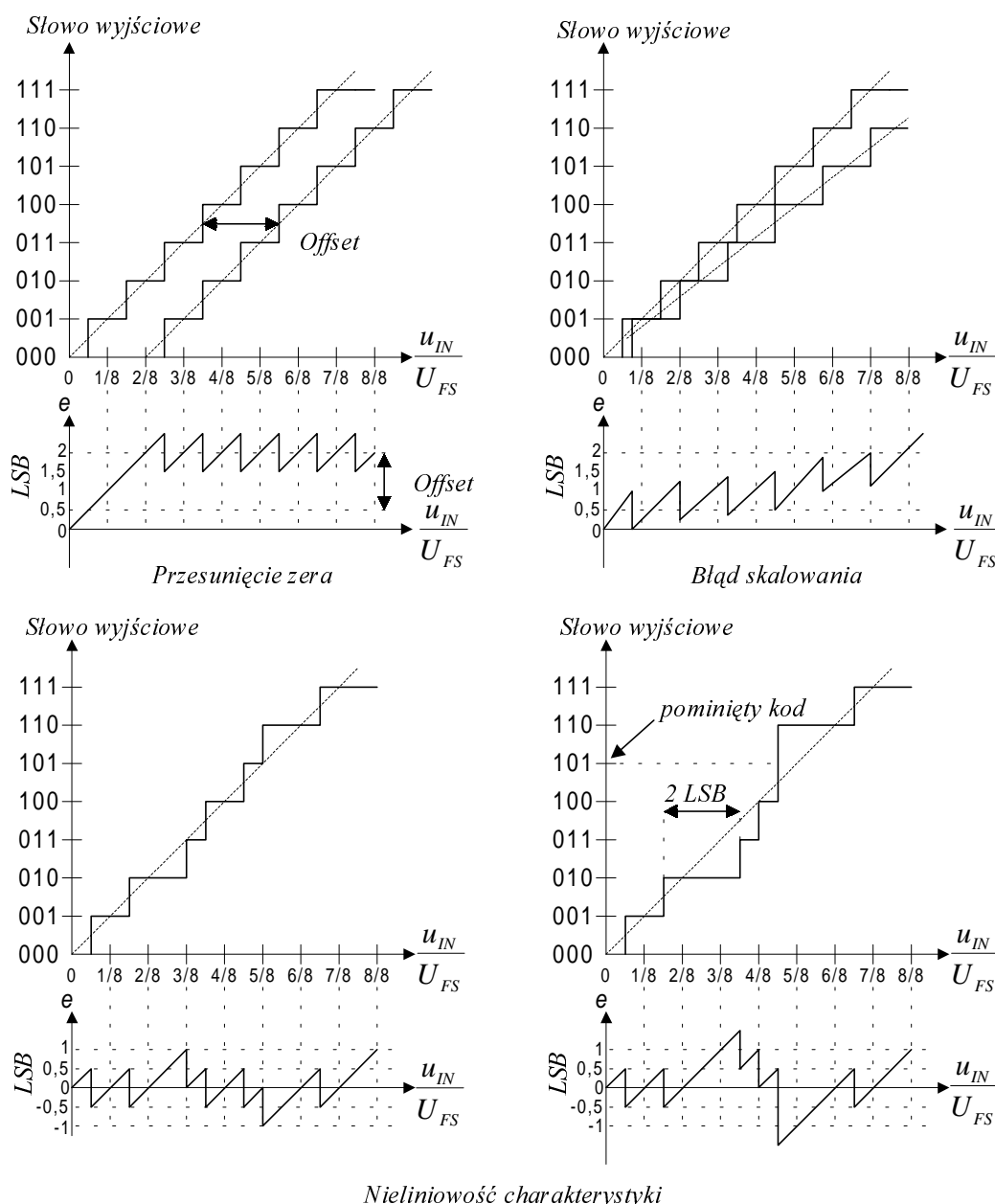
Błąd kwantyzacji zawierający się w przedziale $\pm\Delta/2$ jest nieuchronnym zjawiskiem w przetwarzaniu A/C, tym niemniej na całkowitą dokładność przetwarzania mogą mieć wpływ dodatkowe czynniki związane z odbieganiem rzeczywistej charakterystyki przetwarzania od charakterystyki przedstawionej na rys.9.1. Najważniejsze zniekształcenia charakterystyki polegają na przesunięciu zera (*offset*), zmianie nachylenia (błąd skalowania (wzmocnienia)) oraz nieliniowość charakterystyki. Istotę wymienionych błędów przedstawia syntetycznie rys.9.3. Nieliniowość charakterystyki przetwarzania może ujawniać się w postaci niewystępowania pewnych liczb na wyjściu przetwornika (błąd pominiętych kodów - ang. *missing codes*), albo niemonotonicznością przetwarzania, co w większości przypadków jest dyskwalifikujące dla układu.

9.2.2. Kodowanie

Trywialnym wydaje się przypomnienie, że zapis i reprezentacja liczby następuje za pomocą cyfr.

Zwróćmy jednak uwagę, że przyzwyczajeni jesteśmy do systemu dziesiętnego, posługującego się dziesięcioma symbolami,

odpowiadającym dziesięciu dobrze rozróżnialnym stanom, podczas gdy w klasycznej technice cyfrowej operujemy zwykle na dwu stanach.



Rys.9.3 Typowe błędy przetwarzania A/C

Kompleksowe stosowanie naturalnego dwójkowego systemu liczbowego nie zawsze jest pożądane (np. przyrządy pomiarowe) dlatego wprowadza się kodowanie - będące jednoznacznym i odwracalnym przyporządkowaniem liczb w symbole zwane słowami kodowymi. Jedną z możliwości kodowania liczb dziesiętnych są tak zwane kody dziesiętno-dwójkowe (BCD - ang. *Binary Coded Decimal*), w których każda cyfra dziesiętna zostaje zastąpiona przez czterocyfrową liczbę binarną, zwaną często tetradą. Za pomocą 4 bitów można

przedstawić 16 symboli z czego 6 jest w kodach dziesiętno-dwójkowych nieużywane. Wynikiem tego jest stosunkowo mała efektywność kodów BCD jak i fakt, że istnieje ok. $2,9 \cdot 10^{10}$ różnych wariantów kodowania. Praktyczne zastosowanie ma jednak jedynie kilka z nich. Wymieńmy najważniejsze:

- Kod licznikowy 2-4-2-1. Jest kodem wagowym (poszczególne pozycje bitów mają wagi odpowiednio 2-4-2-1; w naturalnym kodzie binarnym wagi poszczególnych bitów są kolejnymi potęgami dwójki np. 8-4-2-1). Zostały w nim opuszczone tetrady odpowiadające liczbom od 8 do 13 w naturalnym kodzie dwójkowym. Jest on czasami używany ze względu na wygodę realizacji licznika dziesiętnego.
- Kod Aikena - jest również kodem o wagach poszczególnych bitów 2-4-2-1 (i jak łatwo zauważyć wiele cyfr dziesiętnych ma identyczną jak poprzednio reprezentację). Szczególną cechą kodu Aikena jest samouzupełnialność - negacja każdej pozycji dwójkowej daje w wyniku uzupełnienie liczby do dziewięciu, co ułatwia operacje matematyczne.
- Kod z nadmiarem 3 - jest wynikiem odrzucenia pierwszych trzech tetrad naturalnego kodu dwójkowego (czyli w praktyce dodaniu 3 do kodowanej cyfry dziesiętnej i zapisaniu jej w kodzie naturalnym). Jest on również kodem samouzupełniającym, a jego dodatkową zaletą jest brak występowania kombinacji czterech zer/jedynek co może ułatwiać diagnostykę przerw, braków zasilania i zwarć w układzie cyfrowym.

TABELA 9.1 Różne sposoby kodowania binarnego cyfr dziesiętnych

<i>Cyfra dziesiętna</i>	<i>naturalny kod binarny</i>	<i>kod licznikowy</i>	<i>kod Aikena</i>	<i>kod z nadmiarem 3</i>	<i>kod Graya</i>
<i>Wagi pozycji kodu</i>	8-4-2-1	2-4-2-1	2-4-2-1	<i>brak</i>	<i>brak</i>
0	0000	0000	0000	0011	0000
1	0001	0001	0001	0100	0001
2	0010	0010	0010	0101	0011
3	0011	0011	0011	0110	0010
4	0100	0100	0100	0111	0110
5	0101	0101	1011	1000	0111
6	0110	0110	1100	1001	0101
7	0111	0111	1101	1010	0100
8	1000	1110	1110	1011	1100
9	1001	1111	1111	1100	1101

Przy okazji przeglądu kodów wspomnijmy o kodzie Graya, będącego przykładem kodu refleksyjnego (cyklicznego). Szczególną cechą tych kodów jest zmiana tylko jednego bitu reprezentacji binarnej

przy przejściu pomiędzy kolejnymi wartościami. Kod Graya nie jest (podobnie jak naturalny kod binarny) ograniczony do 10 symboli ani 4 bitów, a główne zastosowanie znajduje w technikach cyfrowego pomiaru przesunięcia i kąta za pomocą tzw. rastrów kodowych. Jest on jednak bardzo rzadko stosowany w kodowaniu dwójkowo-dziesiętnym.

9.2.2.1 Kodowanie liczb ze znakiem - kody bipolarne

Nieco odrębnym zagadnieniem jest reprezentacja cyfrowa wartości analogowych, które mogą zmieniać zarówno wartość jak i znak. Niezależnie od sposobu zapisu występuje tu dodatkowy (najbardziej znaczący!) bit znaku. Różnice pomiędzy poszczególnymi zapisami sprowadzają się właściwie do konwencji odnośnie bitu znaku i sposobu kodowania liczb ujemnych (por. tabela 9.2)

Najczęściej stosuje się jeden z następujących 3 sposobów:

- Zapis znak - moduł - umożliwia najbardziej chyba naturalne przedstawienie liczb dodatnich i ujemnych. Wartości bezwzględne liczb są reprezentowane za pomocą kodu naturalnego lub jednego z kodów BCD, a słowo kodowe jest uzupełnione o pierwszy bit znaku (1 dla liczb ujemnych). Wadą tego kodu jest niejednoznaczność zapisu zera.
- Zapis uzupełnień do dwóch - liczby nieujemne są zapisywane w naturalnym kodzie binarnym, a ujemne jako uzupełnienie do 2 modułu liczby ujemnej. Pierwszy bit spełnia rolę bitu znaku i jego wartość wynosi 1 dla liczb ujemnych, a 0 dla dodatnich i zera. Reprezentację liczb ujemnych uzyskujemy przez zanegowanie wszystkich pozycji naturalnego zapisu modułu liczby i dodanie do tego uzupełnienia liczby binarnej 00...001. Przykładowo kod odpowiadający liczbie „-3” powstaje poprzez negację wszystkich bitów naturalnej reprezentacji trójki („0011” → „1100”) i dodanie „0001” co daje w wyniku „1101”. Zapis ten jest użyteczny ze względu na jego podobieństwo do zapisu stosowanego w komputerach.
- Przesunięty kod dwójkowy - uzyskuje się przez takie przesunięcie naturalnego kodu dwójkowego, aby kod 100.....0 reprezentował połowę zakresu przetwarzania, czyli zero. Zaletą tego kodu jest jednoznaczność kodowania zera i kompatybilność z wejściami/wyjściami systemów cyfrowych - co wynika z jego podobieństwa do zapisu uzupełnień do 2 (jedyna różnica występuje na najbardziej znaczącym miejscu i polega na negacji tego bitu). Wadą obu kodów jest zmiana stanu wszystkich bitów w okolicy zera, pomimo tego właśnie one są najczęściej stosowane praktycznie.

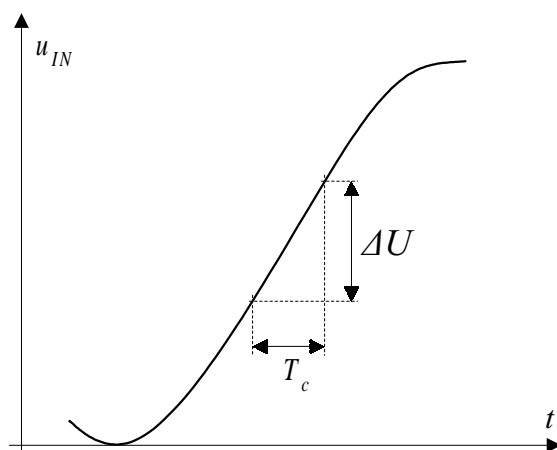
TABELA 9.2 Sposoby kodowania liczby ze znakiem

<i>Liczba</i>	<i>Zapis znak-moduł (w naturalnym kodzie binarnym)</i>	<i>Zapis uzupełnień do dwóch</i>	<i>Przesunięty kod binarny</i>
+7	0111	0111	1111
+6	0110	0110	1110
+5	0101	0101	1101
+4	0100	0100	1100
+3	0011	0011	1011
+2	0010	0010	1010
+1	0001	0001	1001
+0	0000	0000	1000
-0	1000	(0000)	(1000)
-1	1001	1111	0111
-2	1010	1110	0110
-3	1011	1101	0101
-4	1100	1100	0100
-5	1101	1011	0011
-6	1110	1010	0010
-7	1111	1001	0001
-8	-	1000	0000

9.2.3. Próbkowanie

Do tej pory milcząc zakładaliśmy, że reprezentowany cyfrowo sygnał analogowy ma wartość ustaloną. Jeżeli jednak wartość ta jest zmienna w czasie, to dla celów przetwarzania cyfrowego konieczne jest przede wszystkim ograniczenie nieskończonego zbioru wartości chwilowych do ciągu wartości tego sygnału w wybranych chwilach t_1, t_2, t_3, \dots . Innymi słowy dokonuje się dyskretyzacji sygnału w czasie poprzez pobieranie próbek wartości chwilowych i ich zapamiętanie przynajmniej na czas potrzebny na całkowite przetworzenie (w tym zakodowanie) sygnału analogowego na wartość cyfrową z założoną dokładnością reprezentacji.

Niespełnienie tego warunku powodować może powstawanie tzw. błędu dynamicznego, zilustrowanego na rys.9.4. Większość rozwiązań układowych przetworników wymaga dla poprawnej pracy, aby wartość przetwarzana utrzymywana była na stałym poziomie z dokładnością do połowy najmniej znaczącego bitu przez tzw. *czas konwersji*, który jest jednym z ważniejszych parametrów dynamicznych. Wymaganie to wprowadza dość znaczne ograniczenie na maksymalną częstotliwość

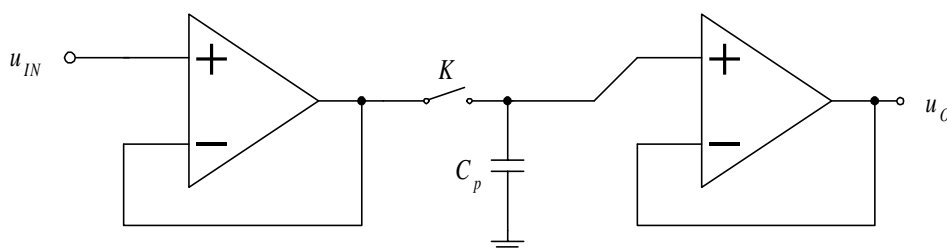


Rys.9.4 Ilustracja istoty błędu dynamicznego w przetwarzaniu A/C

przetwarzania bezpośredniego. Przy założeniu, że czas konwersji przetwornika n -bitowego wynosi T_c a wartość międzyszczytowa sygnału jest równa pełnemu zakresowi U_{FS} , warunek o którym mowa można zapisać jako

$$f_{\max} = \frac{1}{2^n \cdot 2\pi \cdot T_c} \quad (9.8)$$

Zwiększenie dopuszczalnej częstotliwości przetwarzania staje się możliwe dzięki zastosowaniu układów *próbkująco-pamiętających* (PP, lub SH, ang. *Sample and Hold*), które nawiasem mówiąc często występują w jednej strukturze scalonej z przetwornikiem. Budowę układu PP ilustruje rys.9.5.

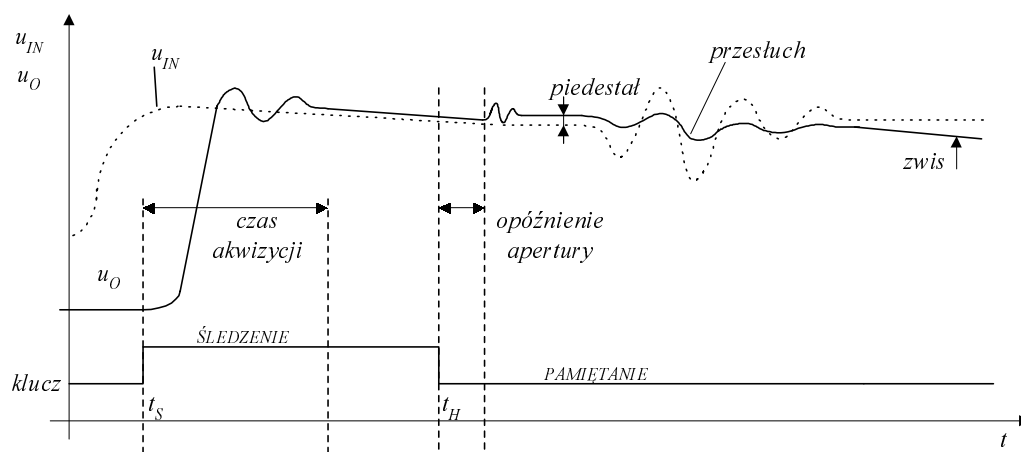


Rys.9.5 Uproszczony schemat układu próbkująco - pamiętającego

W bardzo dużym uproszczeniu praca układu polega na szybkim ładowaniu kondensatora C_p gdy klucz jest zamknięty i odczycie „zapamiętanej” wartości po otwarciu klucza. Bardziej wnikliwa analiza, uwzględniająca zjawiska pasożytnicze i drugorzędne, przedstawiona jest na rys.9.6.

Założmy, że w chwili t_s rozpoczęto cykl pobierania próbki poprzez zamknięcie klucza. Upřednio zapamiętana wartość może się bardzo różnić od aktualnej wartości chwilowej sygnału wejściowego, zatem zanim obie wartości zrównają się ze sobą (na założonym

poziomie dokładności - zrównanie nigdy nie jest matematyczne!) musi upłynąć pewien czas, zwany *czasem akwizycji*. Na czas akwizycji największy wpływ mają rezystancja klucza w stanie załączenia (stała czasowa ładowania kondensatora C_p) oraz maksymalna szybkość narastania napięcia wyjściowego (*slew-rate*) buforów napięciowych oraz precyzja ich kompensacji częstotliwościowej (szybkość zaniku ewentualnych oscylacji). Po upływie czasu akwizycji napięcie wyjściowe podąża za wejściowym (stąd inna używana nazwa - *układ śledząco-pamiętający*), aż do czasu t_H , w którym rozpoczyna się faza pamiętania. Rozpoczęcie tej fazy polega na zmianie sygnału sterującego



Rys.9.6 Przebiegi napięć w układzie próbkująco – pamiętającym

klucz - jednak samo otwarcie klucza następuje z pewnym opóźnieniem (zwanym *opóźnieniem apertury*), wynikającym ze skończonego czasu otwierania klucza. Co więcej, opóźnienie apertury może ulegać fluktuacjom na skutek szumów i zakłóceń sygnału sterującego, a nawet jest zależne od poziomu samego sygnału próbkowanego (jest to zrozumiałe jeżeli uświadomić sobie, że zamknięcie kanału tranzystora MOS następuje, gdy napięcie bramka - źródło jest niższe od napięcia progowego a potencjał źródła zmienia się wraz z sygnałem wejściowym). Tak zwane drżenie apertury (a ogólniej nieokreśloność czasu próbkowania, na którą mogą składać się również inne czynniki) jest przyczyną błędu przetwarzania w pewnym sensie dualnego do opisanego wcześniej błędu dynamicznego.

Innym efektem, z którym należy liczyć się w układach PP jest tak zwany *piedestał*. Jego istota polega na pojawieniu się stałej różnicy pomiędzy napięciem jakie panowało w chwili t_H , a wartością ustaloną na wyjściu układu. Otóż ładunek zgromadzony na pasożytniczej pojemności klucza (np. ładunek zgromadzony w warstwie inwersyjnej - kanale przewodzącego tranzystora MOS) zostaje wraz z zamknięciem klucza przekazany do pojemności próbkującej, powodując na niej niewielki

skok napięcia (i towarzyszący mu krótki stan nieustalony). Oprócz tego w fazie pamiętania napięcie wyjściowe może zmieniać się na skutek przesłuchu (sprzężenie przez pasożytnicze pojemności) z sygnałem wejściowym lub innymi sygnałami (np. zegarowym) oraz prądów upływu (klucza i bufora wyjściowego) powodując tzw. zwis.

Łatwo zauważyć, że parametry stanu pamiętania są tym lepsze im większa jest wartość pojemności próbkującej C_p , natomiast w fazie śledzenia wręcz przeciwnie. Dodatkowo, z uwzględnienia skończonej rezystancji klucza i związanego z nią szerokopasmowego szumu termicznego można wnioskować, że wartość skuteczna szumu napięcia wyjściowego jest odwrotnie proporcjonalna do pierwiastka z pojemności próbkującej. Wymienione czynniki sprawiają, że w zależności od zastosowania niezbędny jest kompromis w doborze pojemności C_p . W zależności od czasu akwizycji i innych szczegółów implementacyjnych, pojemność próbkująca może wynosić od kilkuset femtofaradów (wewnętrzne pojemności w układach scalonych) do kilku nanofaradów.

9.2.3.1 Twierdzenie o próbkowaniu

W rozważaniach dotyczących procesu próbkowania nie poruszyliśmy dotychczas fundamentalnego problemu wiarygodności reprezentacji sygnału analogowego za pomocą ciągu próbek. Jest dość oczywiste, że w ogólnym przypadku informacja zawarta w ciągu próbek jest mniejsza niż w pierwotnym sygnale i w związku z tym nie można na podstawie wartości chwilowych wiarygodnie zrekonstruować sygnału oryginalnego. Jest przy tym oczywiste, że dokładność aproksymacji funkcji jest tym lepsza, im częściej pobieramy jej próbki. Z drugiej jednak strony trudności techniczne rosną ze wzrostem częstotliwości próbkowania, racjonalnym wydaje się więc jej minimalizowanie.

Powstaje zatem pytanie – jaka jest najmniejsza częstotliwość próbkowania umożliwiającą bezbłędną rekonstrukcję sygnału? Odpowiedź na to pytanie przynosi, udowodnione na gruncie sformalizowanej teorii sygnałów, twierdzenie o próbkowaniu, znane również jako twierdzenie Kotelnikowa lub Shanona. Mówi ono, że cała informacja niesiona przez ciągły sygnał analogowy jest zachowana jeżeli próbki tego sygnału pobierane są z częstotliwością większą niż dwukrotność maksymalnej częstotliwości w widmie sygnału

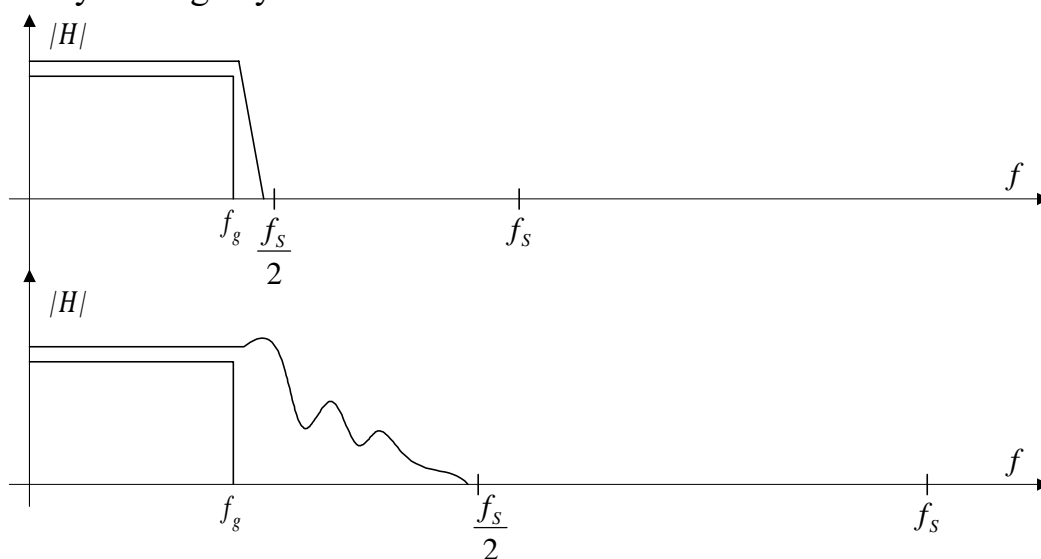
$$f_s > 2 \cdot f_g \quad (9.9)$$

Interesujące jest, że minimalna częstotliwość o której mowa nazywana jest w literaturze częstotliwością Nyquista – co dowodzi, jak wielu znanych badaczy zajmowało się tą problematyką.

Ograniczenie to bierze się z faktu, że widmo częstotliwościowe sygnału zdyskretyzowanego w czasie jest okresowe w dziedzinie częstotliwości z okresem f_s . Spełnienie warunku (9.9) jest gwarancją, że powtarzające się okresowo widma nie zajądą na siebie, co manifestowałoby się w dziedzinie czasu jako interferencja (aliasing, dudnienia) częstotliwości sygnału i częstotliwości próbkowania.

Z praktycznego punktu widzenia dokładne spełnienie warunku (9.9) nie jest możliwe, bo chociaż przetwarzany sygnał ma ściśle ograniczone pasmo, to dochodzą do niego szумы i inne zakłócenia o szerokopasmowym charakterze. Z tego powodu na wejściu systemu niezbędny jest tzw. *filtr antyaliasingowy*, którego zadaniem jest silne tłumienie częstotliwości powyżej połowy częstotliwości próbkowania. Z drugiej strony, aby nie wprowadzać zniekształcenia widma sygnału (pomijamy tu, dla prostoty, efekt skończonego czasu trwania próbek – podstawowa wstęga widma sygnału spróbkowanego jest identyczna z widmem oryginału przy założeniu reprezentacji za pomocą ciągu impulsów Diraca) filtr antyaliasingowy powinien charakteryzować się małym tłumieniem i płaską charakterystyką amplitudową oraz liniową charakterystyką fazy w pasmie $0 - f_g$ (gdzie f_g - jest częstotliwością graniczną filtru). Narzuca to określone warunki na charakterystykę filtru w zakresie przejściowym i z tego względu przetworniki można podzielić na dwie zasadnicze klasy (por. rys.9.7):

- przetworniki z próbkowaniem konwencjonalnym (Nyquista, ang. *Nyquist rate converters*) – wymagające stromej charakterystyki filtru antyaliasingowego, co komplikuje jego budowę;
- przetworniki z próbkowaniem nadmiarowym czyli nadpróbkowaniem (ang. *oversampling converters*) o łagodnych wymaganiach na filtr antyaliasingowy.



Rys.9.7 Różnice w wymaganiach na filtr antyaliasingowy dla przetwornika konwencjonalnego i z nadpróbkowaniem.

W rozdziale niniejszym zajmiemy się głównie pierwszą klasą, skrótowo omawiając pod koniec przetworniki z nadpróbkowaniem, ze względu na ich ciekawe własności i szerokie zastosowanie w sprzęcie elektroakustycznym.

Przegląd architektur i rozwiązań układowych rozpoczniemy od rodziny przetworników cyfrowo-analogowych. Taka kolejność prezentacji nie wynika bynajmniej z próby przypisania reprezentacji cyfrowej pierwszeństwa, lecz z faktu, że niektóre typy przetworników A/C zawierają w swej strukturze przetworniki C/A.

9.3. PRZETWORNIKI CYFROWO-ANALOGOWE

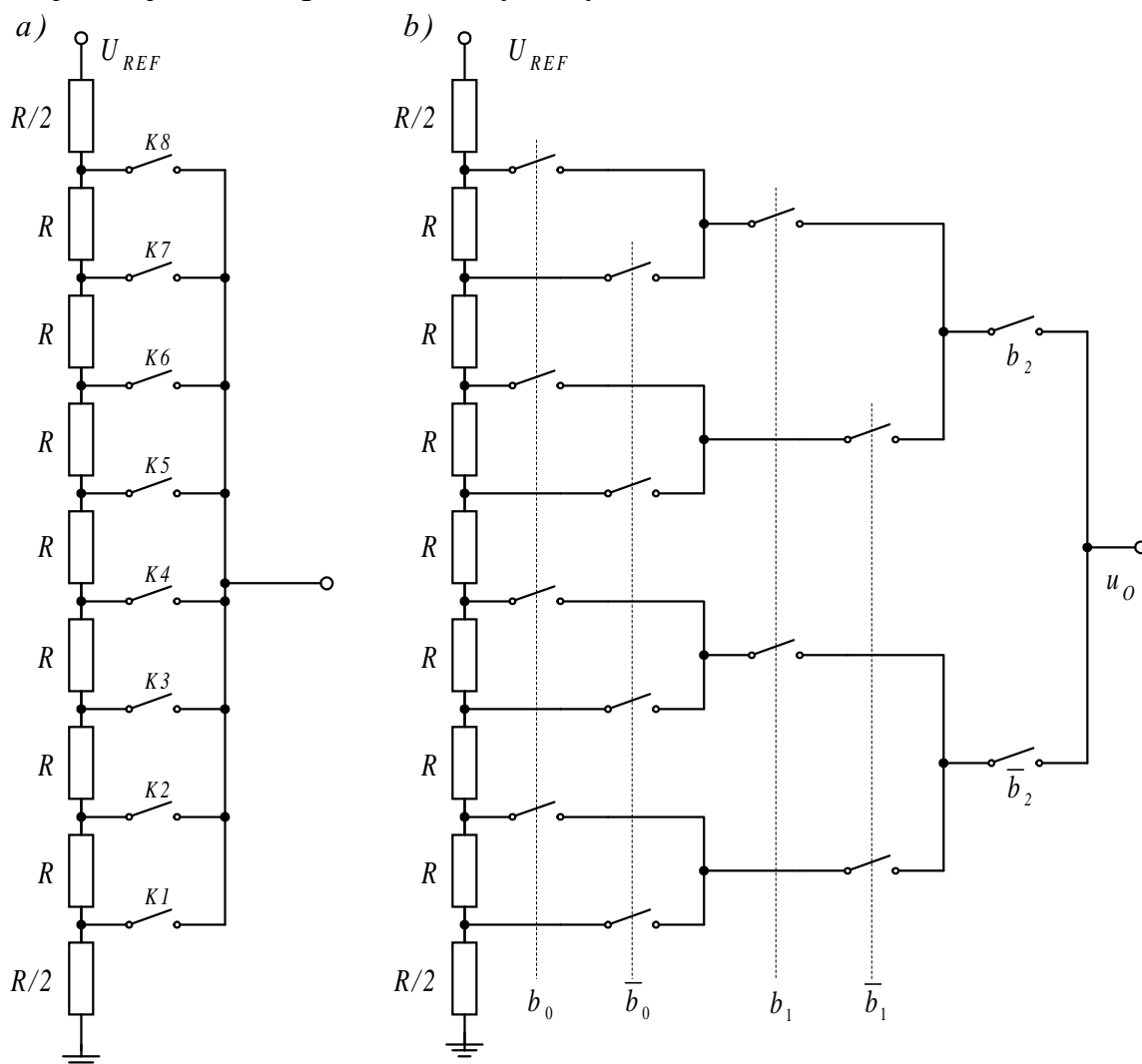
Istnieje wiele rodzajów przetworników C/A, tym niemniej ich konstrukcja oparta jest na kilku typowych metodach, które omówimy tu w zarysie.

Najczęściej stosowane są równoległe przetworniki C/A, w których wszystkie bity sygnału cyfrowego doprowadzane są jednocześnie do wejścia. Rzadziej stosowane są przetworniki szeregowo, w których wyjściowy sygnał analogowy wytwarzany jest po sekwencyjnym przyjęciu wszystkich bitów przetwarzanej wartości cyfrowej. Ogólnie można powiedzieć, że przetworniki szeregowo oferują zazwyczaj większą rozdzielczość, podczas gdy równoległe - znacznie krótszy czas konwersji. Trudno obie te cechy (tj. precyzję i szybkość) połączyć w jednym nieskomplikowanym, a zatem i tanim układzie.

Większość równoległych przetworników C/A stanowi w istocie specyficzne podzielniki napięcia, prądu bądź ładunku. Oczywiście zatem jest, że dokładność przetwarzania uwarunkowana jest jakością źródeł odniesienia, a rozdzielczość i błędy liniowości – tolerancją wykonania elementów podzielnika. W niektórych zastosowaniach można częściowo uniezależnić się od pierwszego czynnika stosując tzw. technikę konwersji logometrycznej (ilorazowej). Przykładowo, jeżeli czujnik będzie zasilany z tego samego źródła, które jest źródłem odniesienia dla przetwornika, to dokładność pomiaru czy sterowania jest duża, pomimo nienajlepszych parametrów źródła odniesienia. Technika ta wymaga użycia tzw. przetworników mnożących. W zasadzie każdy przetwornik C/A mnoży analogowy wzorzec przez cyfrowy ułamek, ale tylko układy o specjalnej konstrukcji są w pełni przystosowane do mnożenia (zwłaszcza czteroćwiartkowego). W praktycznych wykonaniach producenci nie omieszkują wyraźnie zaznaczyć tej cechy.

9.3.1 Rezystancyjne podzielniki napięcia

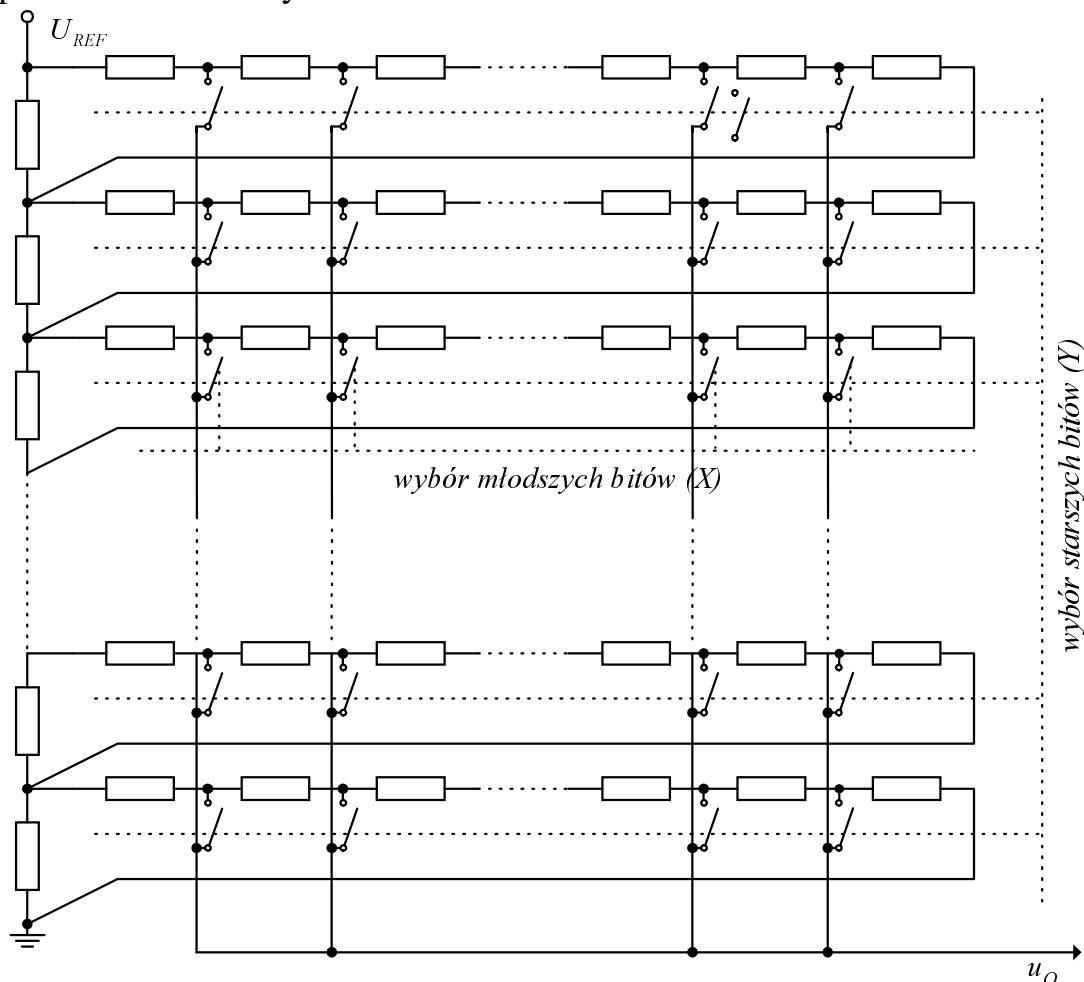
Rozpatrzmy najprostszy koncepcyjnie tryb itowy przetwornik C/A jakim jest układ przedstawiony na rys.9.8a.



Rys.9.8 Precyzyjny dzielnik napięcia jako przetwornik C/A a) wersja pogładowa
b) wersja praktyczna o dużej szybkości działania

Przy założeniu, że tylko jeden z kluczy $K1, \dots, K8$ może być zamknięty, podczas gdy reszta jest otwarta, układ odpowiada w zasadzie potencjometrowi o zdyskretyzowanych położeniach ślizgacza (w nomenklaturze anglosaskiej ten typ przetworników nazywany jest właśnie *digital potentiometer*). Napięcie wyjściowe jest więc częścią (od $1/16$ do $15/16$ z krokiem $1/8$ – przy takim ustawieniu redukuje się błąd przesunięcia zera) napięcia referencyjnego. Należy przy tym pamiętać, że stwierdzenie to jest słuszne pod warunkiem pomijalnego prądu wyjściowego – jak w każdym zresztą dzielniku potencjometrycznym. Z tego względu w praktyce niezbędnym jest wtórnik napięciowy. Układ

potencjometryczny ma jedną bardzo istotną cechę – jest to przetwornik w którym z samej zasady działania wykluczony jest błąd niemonotoniczności. Zasada podziału potencjometrycznego bywa czasami wykorzystana w pewnym sensie dwukrotnie – jak przedstawiono na rys.9.9.



Rys.9.9 Kaskadowy dzielnik napięcia z wybieraniem YX

W układzie tym bity słowa wejściowego dzielone są na dwie grupy, grupa bitów starszych, po zdekodowaniu wyznacza pozycję na dzielniku „zgrubnym” (współrzędną Y załączanego klucza), oraz grupa bitów młodszych, wyznacza pozycję na dzielniku rozpiętym na wybranym segmencie (współrzędną X). W ten sposób konstruuje się przetworniki o rozdzielczości nawet 10 bitów.

Zwróćmy uwagę, że w przypadku potencjometru cyfrowego wewnętrznym kodem przetwornika nie jest żaden z kodów przedstawionych w rozdziale 9.2.2, ale mało efektywny tzw. *kod pierścieniowy* „1 z 8” (lub w ogólniejszym przypadku „1 z n”).

Problemem jaki jest związany z tym faktem nie jest jednak konieczność konwersji kodów – to jest zadanie prosto realizowalne w nieskomplikowanym układzie kombinacyjnym – co długość

wewnętrznego słowa kodowego. Dla słowa n -bitowego w naturalnym kodzie binarnym potrzebujemy aż 2^n bitów kodu pierścieniowego, a zatem i taką samą liczbę kluczy elektronicznych. Poprawne działanie układu wymaga bardzo małej rezystancji klucza w stanie załączenia i, co jest trudniejsze, przełączania szerokiego zakresu napięć.

Osobnym problemem jest pasożytnicza pojemność otwartych kluczy. W układzie z rys. 9.8a na wyjściu układu widziana jest pojemność $2^n - 1$ wyłączonych kluczy, co może wydłużać czas konwersji. Z tego powodu, w praktycznych rozwiązaniach stosuje się architekturę przedstawioną na rys 9.8b, która cechuje się tym, że z wyjścia widziana jest pojemność tylko n kluczy otwartych i tyle samo kluczy załączonych, co nie jest jednak problemem, gdyż istotna jest stała czasowa pojemności i rezystancji a ta ostatnia jest mała w stanie załączenia. Ta redukcja wpływu pasożytniczych pojemności ma jednak swoją cenę – liczba potrzebnych kluczy rośnie w tym przypadku do wartości $2 \cdot (2^n - 1)$, czyli praktycznie się podwaja, choć z drugiej strony w układzie z rys.9.8b zbędnym staje się konwerter kodu naturalnego na pierścieniowy, gdyż zamiana kodów odbywa się na układzie kluczy.

9.3.2 Przetworniki wagowe

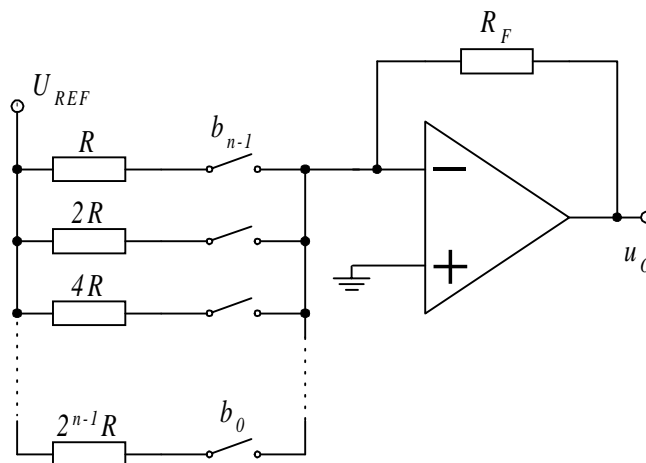
Duża liczba przełączników niezbędnych do realizacji omówionych powyżej przetworników potencjometrycznych sprawia, że większą popularnością cieszą się przetworniki wykorzystujące podzielniki wagone. Dodatkową cechą tych układów, wynikającą wprost z wprowadzenia wag, jest możliwość bezpośredniego podawania na wejście wartości cyfrowej reprezentowanej w kodzie wagowym (np. naturalnym binarnym).

9.3.2.1 Przetworniki z sumowaniem ważonych prądów

Na rys.9.10 przedstawiono uproszczony schemat n -bitowego przetwornika C/A z siecią rezystorów o wartościach wagowych pracującego w naturalnym kodzie dwójkowym. Rezystancje są dobrane tak, że przy zamkniętym kluczu płynie prąd odpowiadający wadze danej pozycji. Dzięki objęciu wzmacniacza pętlą ujemnego sprzężenia zwrotnego wejście odwracające jest na potencjale masy pozornej, zatem prądy składowe są sumowane nie wpływając nawzajem na siebie.

Gwoli ścisłości należy zaznaczyć, że na wejściu nieodwracającym powinno wytworzyć się napięcie odpowiadające połowie LSB – celem likwidacji błędu przesunięcia. Dla praktycznie spotykanych długości

słowa offset rzędu $1/2\text{LSB}$ (nawet o systematycznym charakterze) nie ma jednak większego znaczenia praktycznego.



Rys.9.10. Wzmacniacz operacyjny w układzie sumatora wagowego jako przetwornik C/A

Napięcie na wyjściu układu jest równe

$$\begin{aligned} u_O &= -\frac{R_F}{R} \left(\frac{b_0}{2^{n-1}} + \frac{b_1}{2^{n-2}} + \dots + b_{n-1} \right) \cdot U_{\text{REF}} = \\ &= -\frac{R_F}{R \cdot 2^{n-1}} (b_0 + 2 \cdot b_1 + \dots + 2^{n-1} \cdot b_{n-1}) \cdot U_{\text{REF}} \end{aligned} \quad (9.10)$$

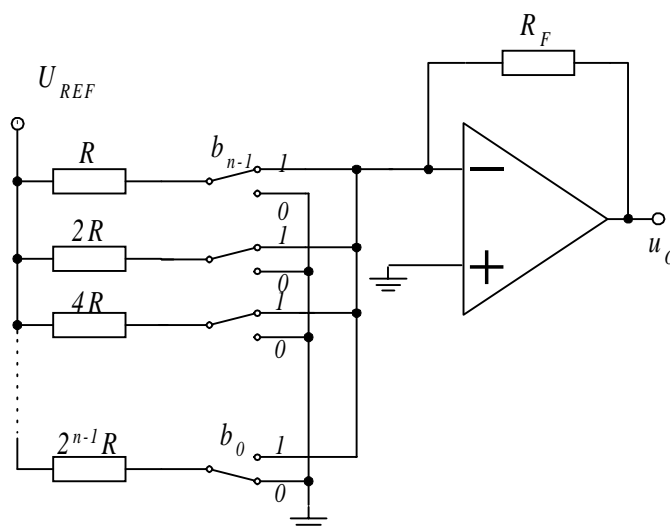
czyli, inaczej niż dla potencjometru cyfrowego, może być wyższe (co do wartości bezwzględnej) od napięcia odniesienia i ma zmieniony znak. Zazwyczaj dobiera się $R_F = R/2$ i wtedy

$$u_O = -\frac{(b_0 + 2 \cdot b_1 + \dots + 2^{n-1} \cdot b_{n-1})}{2^n} U_{\text{REF}} = -\frac{(b_{n-1}b_{n-2} \dots b_0)_2}{2^n} U_{\text{REF}} \quad (9.11)$$

Wadą tego układu, wykorzystującego wprost konfigurację sumatora, są duże zmiany napięcia na kluczach oraz wahania prądu pobieranego ze źródła napięcia odniesienia, co sprawia, że nawet najmniejsza wartość jego rezystancji wewnętrznej powoduje zmiany faktycznego napięcia odniesienia w zależności od przetwarzanego słowa cyfrowego. Obie wady można usunąć stosując układ z kluczami przełączanymi jak na rys.9.11.

Dzięki takiemu rozwiązaniu prąd płynący przez każdy z rezystorów ma stałą wartość, niezależnie od tego czy jest sumowany, czy też nie. Ponadto rezystancja sieci widziana od strony wejścia odwracającego WO ma wartość niezależną od przetwarzanego słowa – zatem w pewnych przypadkach można obciążyć sieć samym rezystorem. Jako przełącznika prądów używa się najczęściej pary różnicowej tranzystorów.

O dokładności przetwornika decyduje bezwzględna dokładność wykonania sieci rezystorów wagowych i powtarzalność ich parametrów termicznych.

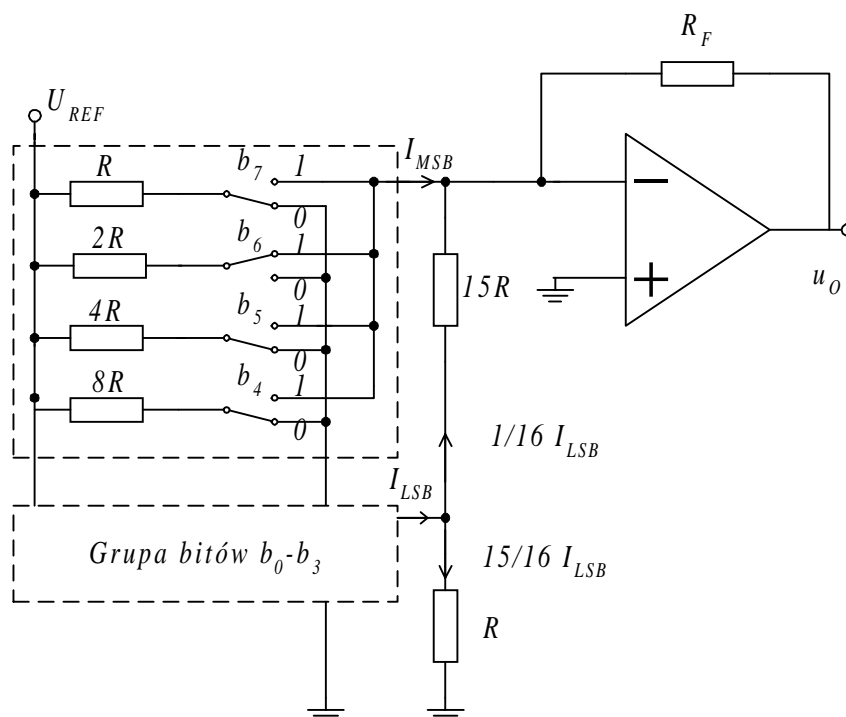


Rys.9.11 Ulepszona wersja sumatora wagowego z kluczami przełączanymi

Ponieważ wartość kolejnego rezystora podwaja się za każdym razem, powiększenie rozdzielczości wymaga poszerzenia zakresu wartości rezystancji. Przykładowo, dla przetwornika 12 bitowego stosunek skrajnych rezystancji powinien być jak 2048:1 z tolerancją wykonania 0,25‰ (promili), a dodatkowo pożądana byłaby powtarzalność współczynników termicznych rezystancji, co przy takiej rozpiętości rezystancji jest zadaniem bardzo trudnym. Co więcej, stosowanie dużych rezystorów pogarsza własności szumowe układu. Z tych względów rozdzielczość tej klasy przetworników nie przekracza zazwyczaj 8-10 bitów, a i ta osiągana jest najczęściej dzięki kaskadowemu łączeniu podsieci przetwarzających 3-4 bity. Przykład takiego rozwiązania dla przetwornika ośmiobitowego w naturalnym kodzie binarnym przedstawiono na rys.9.12.

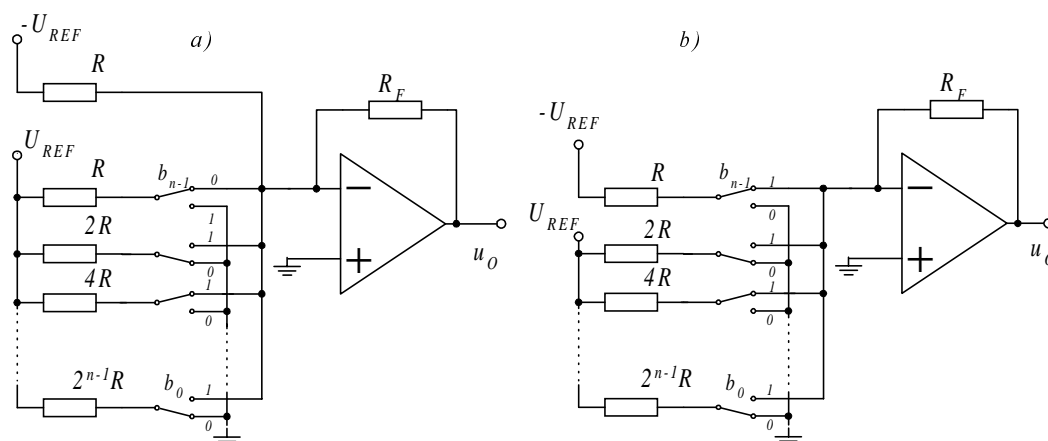
W identycznej strukturze można zrealizować przetwornik dwucyfrowej liczby dziesiętnej reprezentowanej w kodzie BCD, z tym, że wtedy zamiast podzielnika $15R:R$ trzeba zastosować podział $9R:R$. Stosunki rezystancji w poszczególnych sekcjach mogą być przy tym inne niż 8-4-2-1, jeżeli zastosowano inną niż naturalny kod binarny reprezentację cyfr dziesiętnych. Użyty kod musi być jednak z oczywistych względów kodem wagowym.

Użycie dwu napięć odniesienia o identycznej wartości lecz przeciwnych polaryzacjach pozwala, kosztem niewielkich modyfikacji układu, uzyskać przetworniki C/A pracujące w kodach bipolarnych.



Rys.9.12 Realizacja przetwornika ośmiobitowego przez podział na ważone grupy czterobitowe.

Na rys.9.13a przedstawiono uproszczony schemat układu pracującego w przesuniętym kodzie binarnym, a na rys.9.13b w kodzie uzupełnień do dwóch.



Rys.9.13 Przetworniki z bipolarną zmianą napięcia wyjściowego a) pracujący w przesuniętym kodzie binarnym b) w zapisie uzupełnień do dwóch

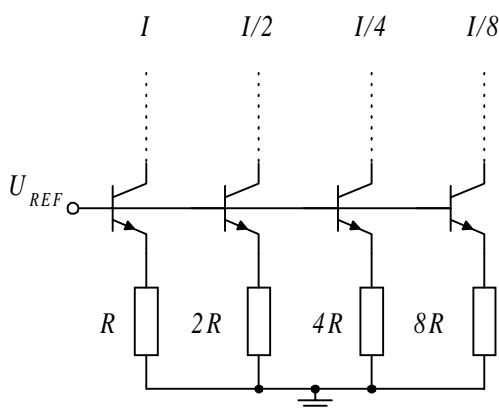
Zaznaczyć jednak należy, że klucze elektroniczne użyte w obu układach muszą mieć zdolność dwukierunkowego przewodzenia prądu. Rozpatrywaną klasę przetworników nazwalibyśmy układami z sumowaniem ważonych prądów, choć w przypadku układu z rys.9.11 taka nazwa uzasadniona jest tylko częściowo. Nie chodzi nawet o

ewentualną rezystancję wewnętrzną źródła odniesienia, której wpływ można zneutralizować, co o wpływ niezaniechanie rezystancji załączonego klucza na rozptył prądów w sieci. (Niektóre rozwiązania poszły w kierunku odpowiedniego skalowania rezystancji kluczy w celu kompensacji tego efektu).

W układach wykorzystujących elementy o charakterze zbliżonym do idealnego źródła prądowego i przełączników prądowych rezystancja klucza nie wpływa na rozptył prądów, dzięki czemu rezystancje „robocze” mogą mieć umiarkowane wartości, co minimalizuje wpływ pasożytniczych pojemności i zwiększa szybkość pracy układu. Jest to zresztą znana dobrze zaleta układów pracujących w trybie prądowym.

Dodatkową korzyścią jest także względna stałość prądu pobieranego z szyny zasilającej, co ma duże znaczenie w kontekście minimalizacji zakłóceń przenoszonych przez podłoże w układzie scalonym.

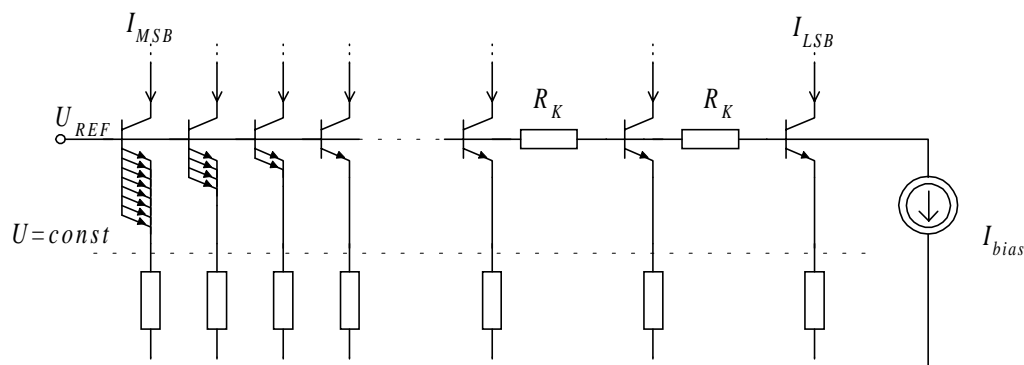
Jedną z możliwych konstrukcji ważonych źródeł prądowych jest wielokrotne lustro prądowe o współczynnikach wzmocnienia prądowego skalowanych stosunkami powierzchni emiterów tranzystorów bipolarnych lub szerokości kanałów tranzystorów MOS. Innym rozwiązaniem jest układ przedstawiony na rys.9.14.



Rys.9.14. Układ wytwarzania ważonych prądów

Zasada jego działania wymaga, aby napięcia baza-emiter wszystkich tranzystorów były jednakowe – wtedy prądy emiterów (a więc i kolektorów) pozostają w stosunkach będących odwrotnościami stosunków rezystancji emiterowych. Jednak, aby utrzymać stałą wartość U_{BE} powinny być zapewnione stałe gęstości prądu emiterów, co sprowadza się do wymagania skalowania powierzchni czynnej tranzystorów. Ten dobór staje się utrudniony technologicznie dla większej liczby bitów. Z tego powodu technikę skalowania powierzchni emiterów stosuje się do kilku (zazwyczaj 4) najstarszych bitów, a emitery pozostałych tranzystorów mają jednakowe powierzchnie. Kompensację niejednakowych spadków U_{BE} w źródłach prądów

odpowiadających młodszym bitom dokonuje się przez wprowadzenie dodatkowych rezystancji pomiędzy bazy poszczególnych tranzystorów (rys.9.15).

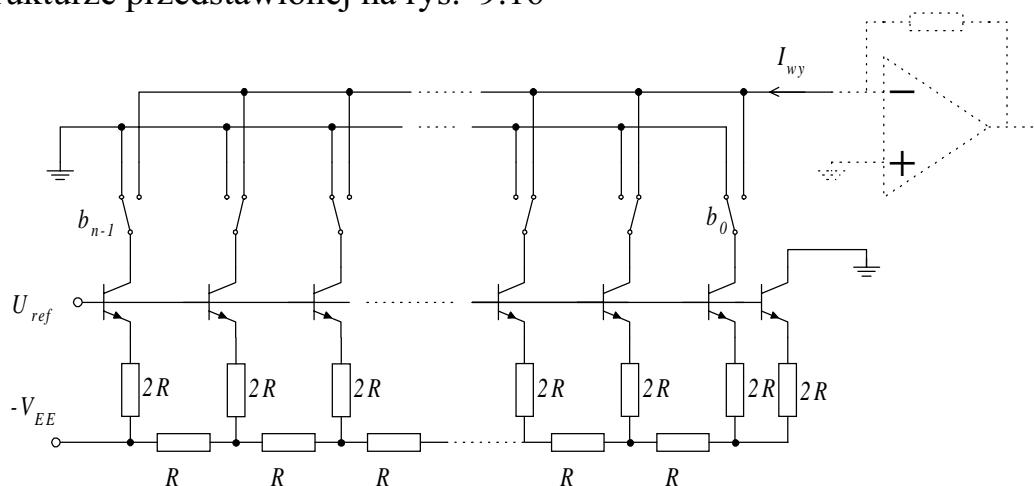


Rys.9.15 Kompensacja nierównomierności spadku napięć baza-emiter

Ponieważ prądy w kolejnych tranzystorach zmieniają się o czynnik 2 (przynajmniej w naturalnym kodzie binarnym), spadki napięć U_{BE} maleją o wartość $U_T \cdot \ln 2 = 18\text{mV}$. Wartość oporu kompensującego R_K dobiera się tak, aby założony prąd bazy powodował na nim spadek napięcia tej wartości. Jest ona wprowadzanie zależna od temperatury, ale jej współczynnik termiczny wynosi zaledwie $60\mu\text{V}/^\circ\text{C}$.

9.3.2.2 Układy z drabinką R-2R

Prądy ważone dwójkowo można uzyskać także w układzie o strukturze przedstawionej na rys. 9.16

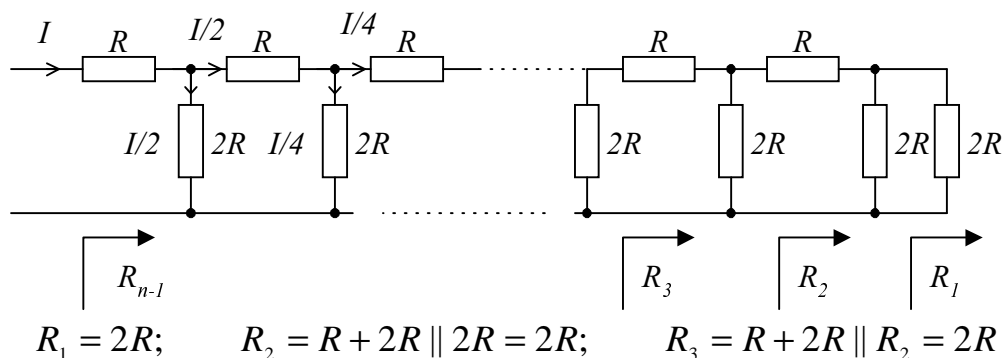


Rys.9.16 Układ z drabinką R-2R do wytwarzania ważonych prądów

Wykorzystano tu bardzo popularny w technice C/A i A/C układ drabinki R-2R, a mówiąc ściślej jej tzw. wariant odwrócony.

Cechą charakterystyczną układu R-2R jest to, że w każdym z węzłów wpływający doń prąd dzieli się na dwie równe części, co

wynika z równości rezystancji widzianych z każdego węzła (por. rys.9.17).

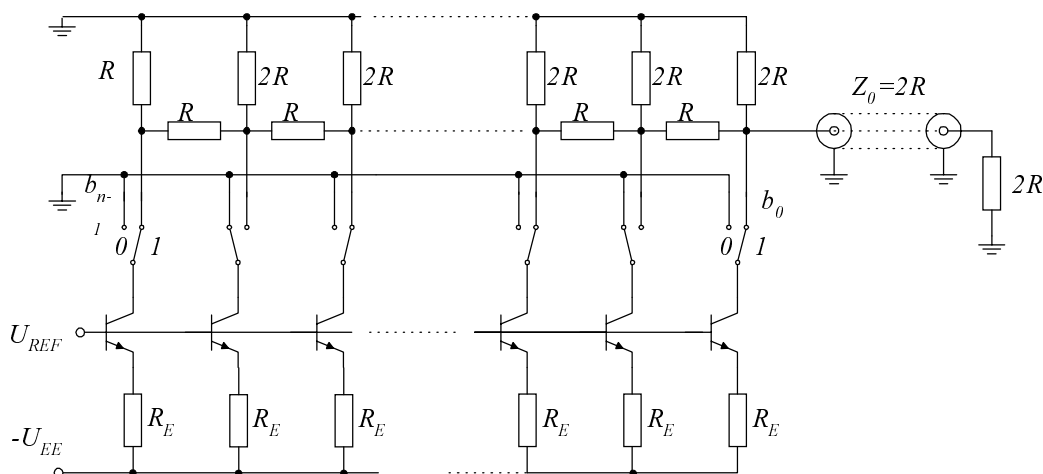


Rys.9.17 Rozpływ prądów w drabince R - $2R$

Zwróćmy przy tym uwagę, że zakończenie drabinki dodatkową rezystancją $2R$ jest istotne dla tych rozważań. Jeżeli w układzie z rys.9.16 założyć jednakowe spadki napięć U_{BE} (por. punkt poprzedni i techniki kompensacji U_{BE}) to prądy emiterów poszczególnych tranzystorów pozostają w stosunku 1:2:4:8.

Jak łatwo zauważyć w układzie z drabinką R - $2R$ potrzebne są aż dwa precyzyjne rezystory na każdy przetwarzany bit, ale rozpiętość ich wartości jest stosunkowo niewielka, powierzchnia układu nie rośnie wykładniczo z ilością bitów, w związku z czym technika ta jest bardziej odpowiednia dla większych rozdzielczości.

Drabinkę R - $2R$ można wykorzystywać na wiele innych sposobów. W układzie przedstawionym na rys.9.18 sieć R - $2R$ zastosowano do ważenia dwójkowych prądów o jednakowych wartościach. Równość prądów ma duże znaczenie praktyczne, ponieważ dla każdej technologii pozwala dobrać optymalny pod względem parametrów przełączania kluczy prąd tranzystora i jego powierzchnię.



Rys.9.18 Szybki przetwornik C/A z drabinką R - $2R$ do sumowania wagowego jednakowych prądów

Dalszą zaletą układu jest względna łatwość dopasowania drabinki do impedancji charakterystycznej kabla transmisyjnego (wystarczy w tym celu wybrać R równe połowie Z_0), co w powiązaniu z dużą potencjalnie szybkością układu i dostępnym wyjściem prądowym umożliwia zastosowanie go w przetwornikach wizyjnych.

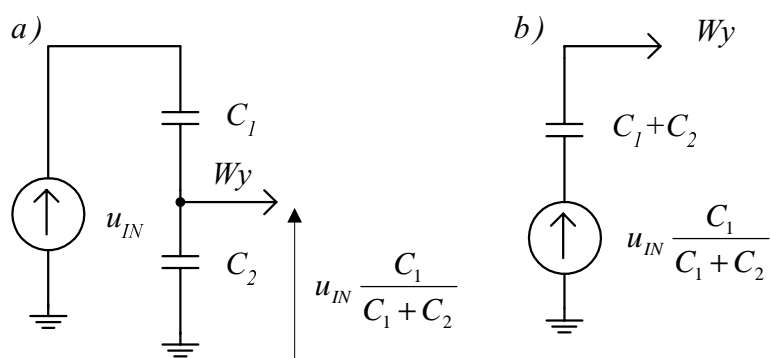
9.3.2.3 Przetworniki z podziałem ładunku

Przegląd technik bezpośredniego przetwarzania C/A zakończymy opisem metody opartej na skalowaniu ładunków. Ma ona szczególne znaczenie w technologii CMOS, w której jak wiadomo wytworzenie rezystorów o dobrych parametrach jest praktycznie niemożliwe a kondensatorów o dobrze kontrolowanym (0,1%) stosunku pojemności, zaś odwrotnie jest stosunkowo proste.

Podstawowy układ omawianego przetwornika wykorzystuje zasadę dzielnika pojemnościowego (rys.9.19), w którym współczynnik podziału napięcia wynosi

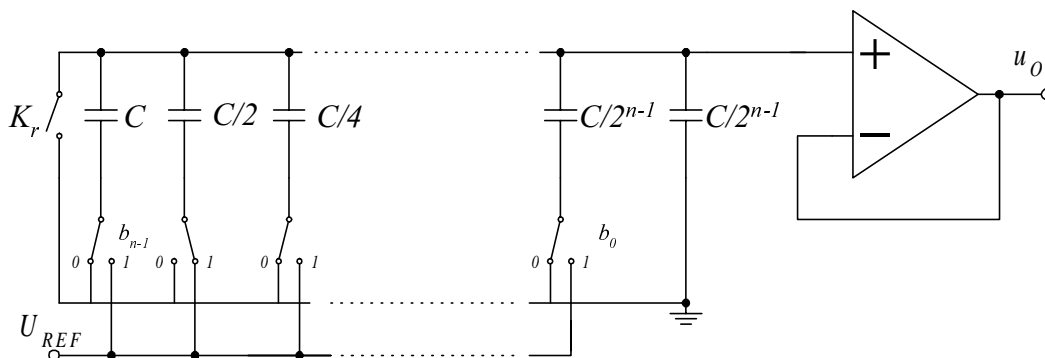
$$A_u = \frac{C_1}{C_1 + C_2} \quad (9.12)$$

co wynika wprost z zasady zachowania ładunku.



Rys.9.19 Pojemnościowy dzielnik napięcia (a) i jego schemat zastępczy (b)

Rozpatrzmy układ z rys.9.20. Mamy tu do czynienia w dalszym ciągu z przetwornikiem równoległym, gdyż wszystkie bity podawane są jednocześnie, tym niemniej praca układu przebiega w dwufazowym cyklu (najczęściej synchronicznym) rozpoczynającym się od wyzerowania układu za pomocą klucza K_r . W następnej fazie wszystkie kondensatory odpowiadające pozycjom bitów przyjmujących wartość „1” przyłączone są do napięcia odniesienia a pozostałe do masy.



Rys.9.20 Przetwornik C/A z pojemnościami wagowymi

„Górna” pojemność dzielnika wynosi więc

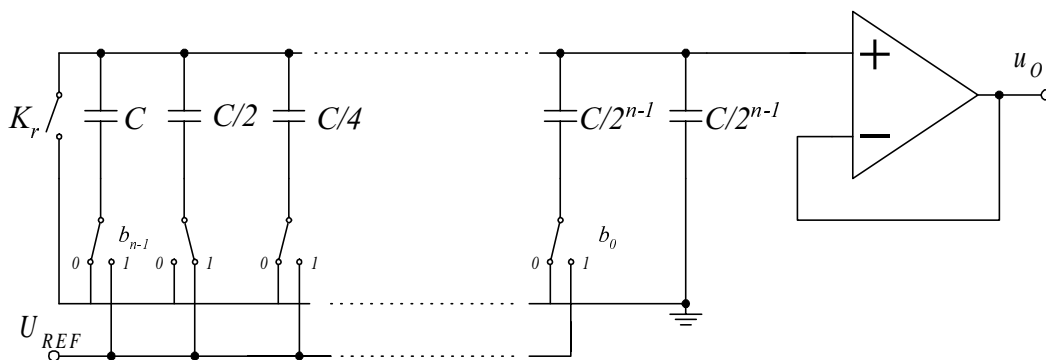
$$\begin{aligned}
 C_1 &= b_{n-1} \cdot C + b_{n-2} \cdot \frac{C}{2} + \dots + b_0 \cdot \frac{C}{2^{n-1}} = \\
 &= \frac{C}{2^{n-1}} (b_0 + 2 \cdot b_1 + \dots + 2^{n-1} b_{n-1}) = \\
 &= \frac{C}{2^{n-1}} (b_{n-1} b_{n-2} \dots b_0)_2
 \end{aligned} \tag{9.13}$$

zaś „dolna” pojemność dzielnika jest różnicą pomiędzy sumą wszystkich pojemności a „górną” pojemnością

$$C_2 = 2C - C_1 \tag{9.14}$$

W związku z tym napięcie wyjściowe wynosi

$$u_O = \frac{C_1}{C_1 + C_2} U_{REF} = \frac{C_1}{2C} U_{REF} = \frac{(b_{n-1} b_{n-2} \dots b_0)_2}{2^n} U_{REF} \tag{9.15}$$

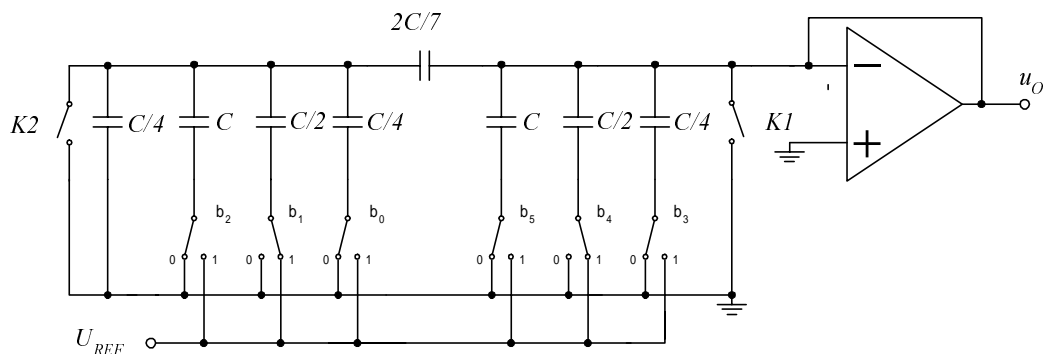


Rys.9.20 Przetwornik C/A z pojemnościami wagowymi

Podobnie jak w przypadku układów z rezystancjami wagowymi, tak i tu napotykamy na bariery technologiczne związane z dużym zakresem pojemności potrzebnym dla większych rozdzielczości przetwornika.

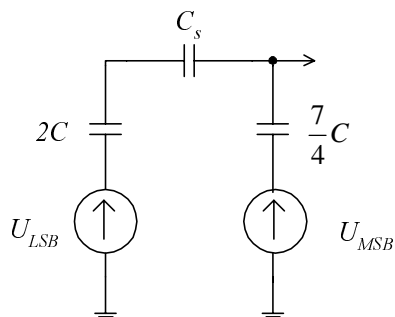
I podobnie – techniki podziału stosowane w wagowych sieciach rezystancyjnych mają i tu swoje odpowiedniki.

Pierwszą z możliwości jest podzielenie słowa na grupy bitów i skalowanie międzygrupowe na dzielniku pojemnościowym. Przykład takiego rozwiązania dla słowa sześciobitowego przedstawia rys.9.21.



Rys.9.21 Sześciobitowy kaskadowy przetwornik C/A ze skalowaniem ładunku

Z uwagi na zasadę superpozycji (zakładamy, że kondensatory są liniowe) można wykazać, że dzielnik pojemnościowy z rys.9.19a widziany ze strony zacisków wyjściowych odpowiada szeregowemu połączeniu źródła napięcia o wartości równej stosunkowi podziału i pojemności będącej sumą pojemności podsieci (analog zastępczego źródła Thevenina – rys.9.19b). Schemat zastępczy układu kaskadowego wygląda więc jak na rys.9.22 .



Rys.9.22 Schemat zastępczy układu z rys.9.21

Kondensator C_s separujący grupy bitów dobiera się według następującego toku rozumowania: suma pojemności po stronie grupy bitów młodszych wynosi $2C$. Ta grupa bitów ma mieć obniżoną wagę do $1/8$ ponieważ występują również trzy starsze bity ($2^3=8$). Obniżenie napięcia wyjściowego U_{LSB} o żądany czynnik powinno wystąpić na dzielniku pojemnościowym stworzonym przez $(7/4) \cdot C$ oraz szeregowe połączenie $2C$ i szukanej pojemności C_s . Zatem

$$\frac{1}{C_s} + \frac{1}{2C} = \frac{1}{\frac{1}{4}C} \quad \rightarrow \quad C_s = \frac{2}{7}C \quad (9.16)$$

Ze schematu zastępczego obliczamy napięcie wyjściowe

$$u_O = \frac{1}{8}U_{LSB} + \frac{\frac{7}{4}C}{\frac{7}{4}C + \frac{1}{4}C}U_{MSB} \quad (9.17)$$

gdzie:

$$U_{LSB} = \frac{b_2C + b_1\frac{C}{2} + b_0\frac{C}{4}}{2C}U_{REF}$$

$$U_{MSB} = \frac{b_5C + b_4\frac{C}{2} + b_3\frac{C}{4}}{\frac{7}{4}C}U_{REF} \quad (9.18)$$

Z równań (9.17) i (9.18) otrzymujemy

$$u_O = \frac{(b_0 + 2 \cdot b_1 + 4 \cdot b_2)}{64}U_{REF} + \frac{(b_3 + 2 \cdot b_4 + 4 \cdot b_5)}{8}U_{REF}$$

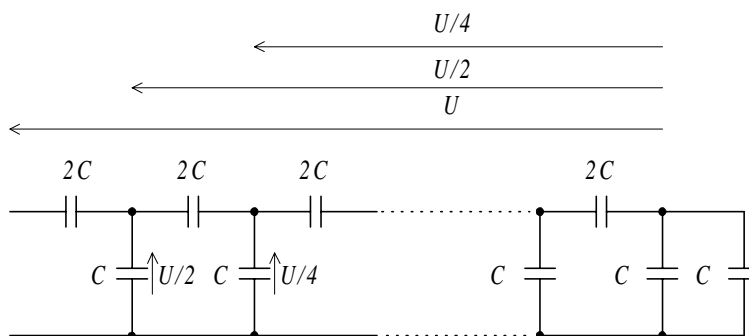
$$= \frac{U_{REF}}{64}(b_0 + 2 \cdot b_1 + 4 \cdot b_2 + 8 \cdot b_3 + 16 \cdot b_4 + 32 \cdot b_5) =$$

$$= \frac{(b_5b_4b_3b_2b_1b_0)_2}{64}U_{REF} \quad (9.19)$$

Jak widać na rys.9.21, w układzie potrzebne są dwa klucze, aby całkowicie rozładować wszystkie kondensatory.

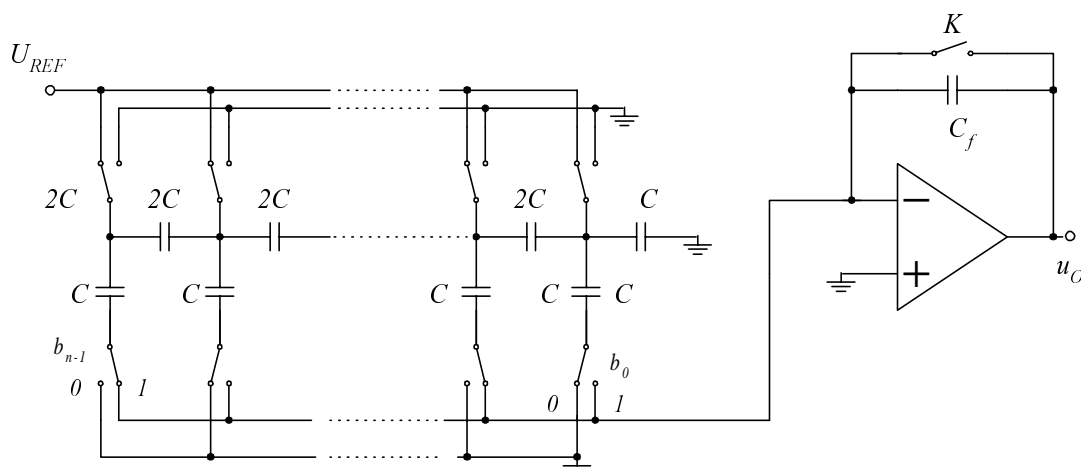
9.3.2.4 Przetworniki z drabinką C-2C

Innym sposobem zwiększenia rozdzielczości bez stosowania bardzo dużych kondensatorów jest układ wykorzystujący drabinkę C-2C. O ile w drabince R-2R mieliśmy do czynienia z podziałem prądów 1:1 w każdym węźle, tu występuje analogiczne dzielenie napięcia (rys.9.23).



Rys.9.23 Podział napięć na drabince C-2C

W fazie przygotowawczej na drabinkę podane zostaje napięcie odniesienia. Na kondensatorach „poprzecznych” ustalają się napięcia U_{REF} , $U_{REF}/2$, $U_{REF}/4$ itd. Wobec równych wartości wszystkich pojemności odpowiada to takiemu samemu skalowaniu zgromadzonych na ich ładunków. W fazie formowania napięcia wyjściowego „górne” (rys.9.24) okładki kondensatorów poprzecznych zostają zwarte do masy, a kondensatory znajdujące się na pozycjach którym odpowiadały jedyńki słowa kodowego zostają dołączone do wejścia wzmacniacza operacyjnego, na którym „rozpięty” jest kondensator, uprzednio całkowicie rozładowany.



Rys.9.24 Przetwornik C/A z drabinką C-2C

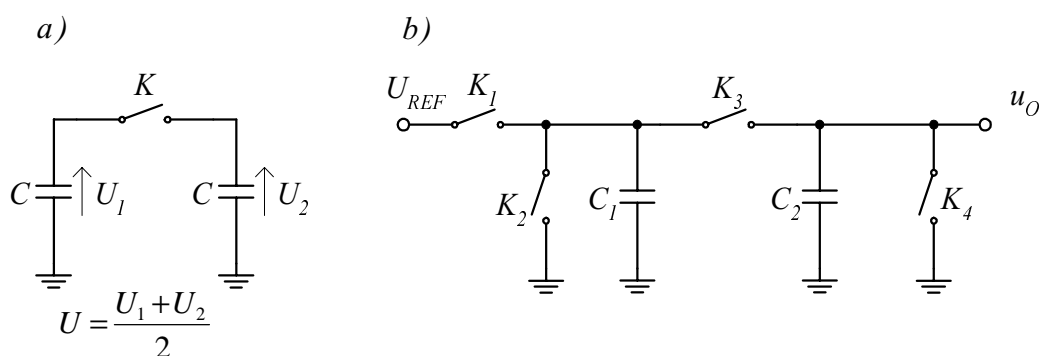
Wybrana słowem wejściowym suma ładunków zebrana jest na okładkach kondensatorów dołączonych do wejścia odwracającego wzmacniacza, a zatem taki sam ładunek lecz przeciwnego znaku pojawi się na dołączonej do tej samej końcówki okładce kondensatora C_f , a na drugą jego okładkę odpowiedni ładunek wpłynie z wyjścia WO. Ze względu na dołączenie C_f do masy pozornej napięcie wyjściowe też będzie zatem proporcjonalne do słowa wejściowego. Widać, że w tym przypadku rola wzmacniacza operacyjnego polega nie tylko na separacji dzielnika pojemnościowego od reszty układu, lecz również na stworzeniu możliwości rozpięcia pojemności „roboczej”, co wynika z faktu, że w układzie z drabinką C-2C nie występuje żadna stała suma pojemności i próba wykonania pasywnego dzielnika spowodowałaby niepokonywalne trudności kalibracyjne. Warto w tym miejscu dodać, że dzielnik z pojemnościami wagowymi też może wykorzystywać opisaną technikę indukowania ładunku na pojemności Millerowskiej – inny jest wtedy tylko współczynnik zamiany słowa cyfrowego na wartość analogową. Co więcej, zaletą tej metody jest minimalizacja wpływu pasożytniczej pojemności wejściowej wzmacniacza operacyjnego.

9.3.3 Szeregowe przetworniki C/A

W szeregowych przetwornikach C/A część „wykonawcza” układu jest najczęściej nieskomplikowana i w skrajnym wypadku może składać się zaledwie z dwu kondensatorów o jednakowych pojemnościach, ale znacznemu rozbudowaniu ulegają tu układy kontrolno - decyzyjne, sterujące procesami zamykania i otwierania kluczy.

9.3.3.1 Przetwornik z redystrybucją ładunku

Dla zrozumienia zasady działania przetwornika z redystrybucją ładunku (rys.9.25b) przeanalizujemy skutek równoległego połączenia dwu kondensatorów o takiej samej pojemności, lecz różnych napięciach początkowych (rys.9.25a). Po zamknięciu klucza całkowity ładunek zgromadzony w układzie $C(U_1+U_2)$ podzieli się po połowie na oba kondensatory i w związku z tym ustali się na nich napięcie będące średnią arytmetyczną wartości początkowych. (Dociekliwy Czytelnik zechce samodzielnie przeanalizować stronę energetyczną procesu i spróbować wyjaśnić drogę „ucieczki” połowy energii z układu).



Rys.9.25 Zasada redystrybucji ładunku (a) i przetwornik pracujący w oparciu o tę zasadę (b)

W przetworniku na rys.9.25b występują 4 klucze. Ich funkcje są następujące: Klucz K_4 służy do początkowego rozładowania kondensatora C_2 . Klucz K_3 jest najważniejszym kluczem w układzie i jest naprzemiennie zamykany i otwierany zgodnie z cyklem zegara i sekwencyjnym podawaniem kolejnych bitów. Klucze K_1 i K_2 są sterowane wspólnie i mają za zadanie ładować kondensator C_1 do napięcia odniesienia, gdy wartość aktualnie przetwarzanego bitu wynosi „1” i rozładować go do zera w przypadku przeciwnym.

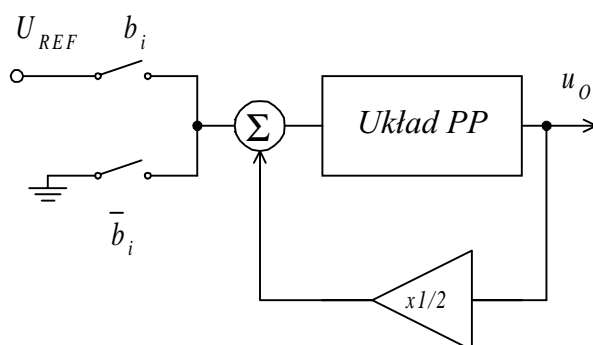
Założmy, że przetwarzanym słowem jest „1001” w naturalnym kodzie binarnym (9/16). Przetwarzanie sekwencyjne zaczynamy od najmłodszego bitu. Kolejne stany w układzie wyglądają następująco:

1. zamknięcie K_4 . $U_{C2}=0$,
2. $b_0=1$; zamknięcie K_1 ; $U_{C1}=U_{REF}$,
3. zamknięcie K_3 ; $U_{C1}=U_{C2}=1/2 U_{REF}$; otwarcie K_3 ,
4. $b_1=0$, zamknięcie K_2 ; $U_{C1}=0$,
5. zamknięcie K_3 ; $U_{C1}=U_{C2}=1/4 U_{REF}$; otwarcie K_3
6. $b_2=0$, zamknięcie K_2 ; $U_{C1}=0$
7. zamknięcie K_3 ; $U_{C1}=U_{C2}=1/8 U_{REF}$; otwarcie K_3 ,
8. $b_3=1$, zamknięcie K_1 ; $U_{C1}=U_{REF}$,
9. zamknięcie K_3 ; $U_{C1}=U_{C2}=9/16 U_{REF}$,

Po zakończeniu cyklu przetwarzania wartość wyjściowa zapamiętana jest na kondensatorze C_2 , aż do zamknięcia klucza K_4 rozpoczynającego nowy cykl przetwarzania. Opisany przetwornik charakteryzuje się bardzo małą powierzchnią na płycie krzemowej, ale stosunkowo długim (rzędu mikrosekund) czasem przetwarzania.

9.3.3.2 Przetworniki potokowe

Zauważmy, że omówiony wyżej przetwornik z redystrybucją ładunku jest jedną z realizacji ogólnej architektury realizującej abstrakcyjny algorytm przetwarzania C/A w strukturze cyklicznej przedstawionej w postaci schematu blokowego na rys.9.26.

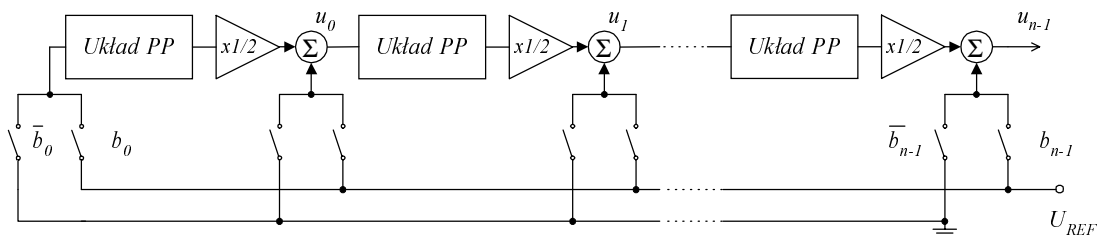


Rys.9.26 Schemat blokowy przetwornika cyklicznego

W przetworniku cyklicznym do przetworzenia słowa n bitowego potrzebne jest n taktów zegara, a podanie następnego słowa wejściowego może nastąpić dopiero po całkowitym przetworzeniu poprzedniej wartości cyfrowej.

Alternatywą wobec n -krotnego „zawracania” sygnału jest budowa układu w którym podstawowa dla algorytmu przetwarzania operacja dodawania wagowego jest realizowana sekwencyjnie, ale oddzielnie dla każdego bitu. Poszczególne bity słowa podajemy tu na odpowiednie wejścia z opóźnieniem o jeden cykl zegara (rys.9.27) Jak poprzednio

rozpoczynamy od najmłodszego bitu.



Rys.9.27 Schemat blokowy przetwornika potokowego

Żeby lepiej zrozumieć działanie układu przeanalizujmy pracę trzybitowego przetwornika potokowego (ang. *pipeline converter*) zakładając, że przetwarzane są kolejno słowa: 100, 111 i 101. W tabeli stanów na rys.9.28 zapisano stany wejść cyfrowych i napięcia na poszczególnych wyjściach analogowych, dla prostoty unormowane do napięcia odniesienia. Wartość napięcia wyjściowego na każdym z kolejnych wyjść analogowych można określić jako

$$U_k^i = \frac{1}{2}(b_{k-1} \cdot U_{\text{ref}} + U_{k-1}^{i-1}) \quad (9.20)$$

gdzie indeksowaniem dolnym oznaczono pozycję bitu, a górnym kolejne cykle przetwarzania.

Jak widać, rozpatrywany układ spełnia więc podwójną rolę – przetwornika i analogowego rejestru przesuwanego – skąd pochodzi jego nazwa.

Cykl zegara	U_0	U_1	U_2	b_2	b_1	b_0
1	0	0	0	0	0	0
2	1/2	0	0	0	0	1
3	0	3/4	1/2	1	1	0
4		0	7/8	1	0	
5			0	0		

Rys.9.28 Tabela stanów trzybitowego potokowego przetwornika C/A

9.4. PRZETWORNIKI ANALOGOWO-CYFROWE

Różnorodność zasad działania i praktycznych rozwiązań układowych przetworników A/C jest zdecydowanie większa niż w grupie konwerterów C/A. Sama klasyfikacja używanych metod jest również mniej jednoznaczna – gdyż dokonuje się jej często na podstawie różnych kryteriów. Wśród klasycznych rozwiązań można wyróżnić trzy podstawowe kategorie przetworników A/C:

- kompensacyjne,
- całkujące,
- z bezpośrednim porównaniem równoległym.

W przetwornikach kompensacyjnych napięcie wejściowe u_{IN} jest porównywane przez układ komparatora z napięciem wyjściowym u_K przetwornika C/A, stosowanego jako wzorzec. Dokładność przetwarzania w tej grupie jest ograniczona dokładnością przetwornika C/A i zwykle nie przekracza 16 bitów. Szybkość działania zależy od sposobu i techniki realizacji przetwornika. Przykładowo, w typowym rozwiązaniu przetwornika o rozdzielczości 12 bitów, czas konwersji wynosi ok. $1\ \mu s$.

W przetwornikach całkujących, których najbardziej reprezentatywną grupą są przetworniki z podwójnym całkowaniem, dokonuje się porównania ładunku zgromadzonego w kondensatorze podczas całkowania napięcia wejściowego u_{IN} z ładunkiem zgromadzonym w tej samej pojemności całkującej przy całkowaniu napięcia odniesienia U_{REF} . W przetwornikach tego typu uzyskuje się dużą dokładność i rozdzielczość, nieosiągalną w innym metodach przetwarzania A/C. Przetworniki z podwójnym całkowaniem charakteryzują się długim czasem konwersji, wynoszącym od $20\ ms$ do $1\ s$.

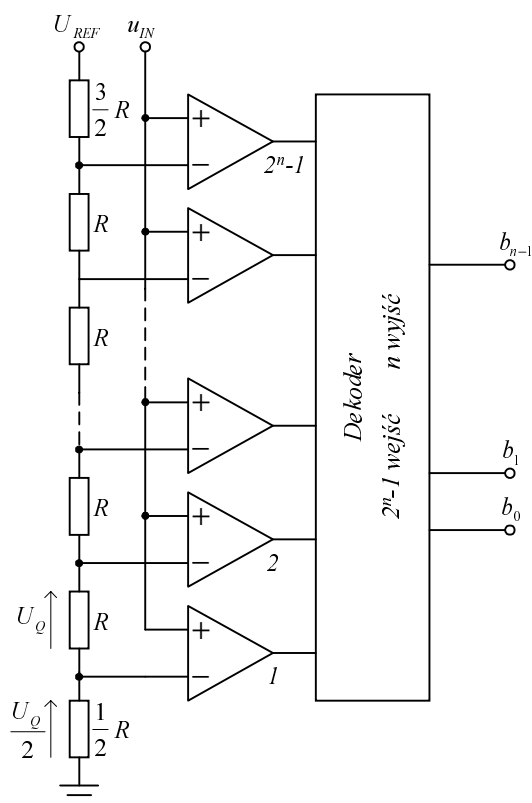
Do grupy przetworników całkujących należą również przetworniki napięcie - częstotliwość (ang. *voltage-to-frequency converter*), które wytwarzają na wyjściu przebieg impulsowy o częstotliwości proporcjonalnej do napięcia wejściowego u_{IN} .

W przetwornikach z bezpośrednim porównaniem równoległym napięcie wejściowe u_{IN} jest porównywane jednocześnie ze wszystkimi $(2^n - 1)$ możliwymi poziomami kwantowania, a następnie wynik tego porównania jest bezpośrednio zakodowany w postaci n -bitowego słowa. Wadą układów równoległych jest konieczność stosowania $(2^n - 1)$ komparatorów w przetworniku n -bitowym, co jest przyczyną znacznej rozbudowy układu.

Przy wykorzystaniu współczesnych technologii bipolarnych lub z tranzystorami MESFET, przetworniki z bezpośrednim porównaniem równoległym wyróżniają się bardzo dużą szybkością przetwarzania, zapewniając czasy konwersji mniejsze niż 1 ns .

9.4.1 Metoda bezpośredniego porównania równoległego

Przetwarzanie metodą porównania równoległego (ang. *parallel method, simultaneous method, flash method*) polega na jednoczesnym porównaniu napięcia wejściowego ze wszystkimi możliwymi poziomami kwantyzacji, jakie istnieją przy określonym zakresie i rozdzielczości przetwornika. Schemat ideowy przetwornika A/C z bezpośrednim porównaniem równoległym, nazywany również przetwornikiem typu flash, przedstawiono na rys.9.29.



Rys.9.29 Przetwornik A/C typu flash

Progowe poziomy napięcia dla kolejnych komparatorów są wytwarzane w dzielniku rezystancyjnym zasilanym napięciem odniesienia U_{REF} . Różnica kolejnych poziomów, wyznaczana spadkiem napięcia na rezystancji R , jest równa przedziałowi rozdzielczości U_Q przetwornika.

W n -bitowym przetworniku, w którym trzeba dokonać $2^n - 1$ porównań, układ musi zawierać taką samą liczbę komparatorów.

W praktyce, ze względu na pobór mocy i ograniczenia powierzchni

układu scalonego, nie wytwarza się przetworników o większej rozdzielczości niż 8-bitów, co i tak wymaga stosowania 255 komparatorów.

Przy określonej wartości napięcia wejściowego u_{IN} w komparatorach o napięciach progowych mniejszych od u_{IN} występują na wyjściach stany logiczne 1, a w pozostałych, o progach większych od u_{IN} - stany logiczne 0. Ponieważ wszystkie komparatory ustalają swój stan logiczny równocześnie, dlatego proces przetwarzania składa się tylko z jednego kroku.

Bezpośrednio na wyjściach komparatorów uzyskuje się informacje cyfrową w kodzie k z n , czyli w postaci niedogodnej do dalszego przetwarzania. Dlatego konieczne jest zdekodowanie informacji do postaci kodu binarnego, BCD lub Graya. Całkowity czas konwersji jest równy sumie czasu odpowiedzi jednego komparatora i bramek dekodera.

W najszybszych układach bipolarnych lub realizowanych na arsenku galu z tranzystorami MESFET całkowity czas przetwarzania osiąga wartości setek pikosekund, a nawet może być mniejszy od 100 pikosekund przy rozdzielczości 4 - 6 bitów.

Układy przetworników równoległych są zwykle wyposażone w wejściowy układ próbkująco - pamiętający, który utrzymuje stałą wartość napięcia u_{IN} podczas całego procesu przetwarzania. Bez tego układu dopuszczalna częstotliwość przetwarzanych sygnałów byłaby mała, gdyż napięcie wejściowe w czasie przetwarzania musi być stałe z dokładnością lepszą niż $(1/2)$ LSB. W przeciwnym razie praca dekodera byłaby niepoprawna.

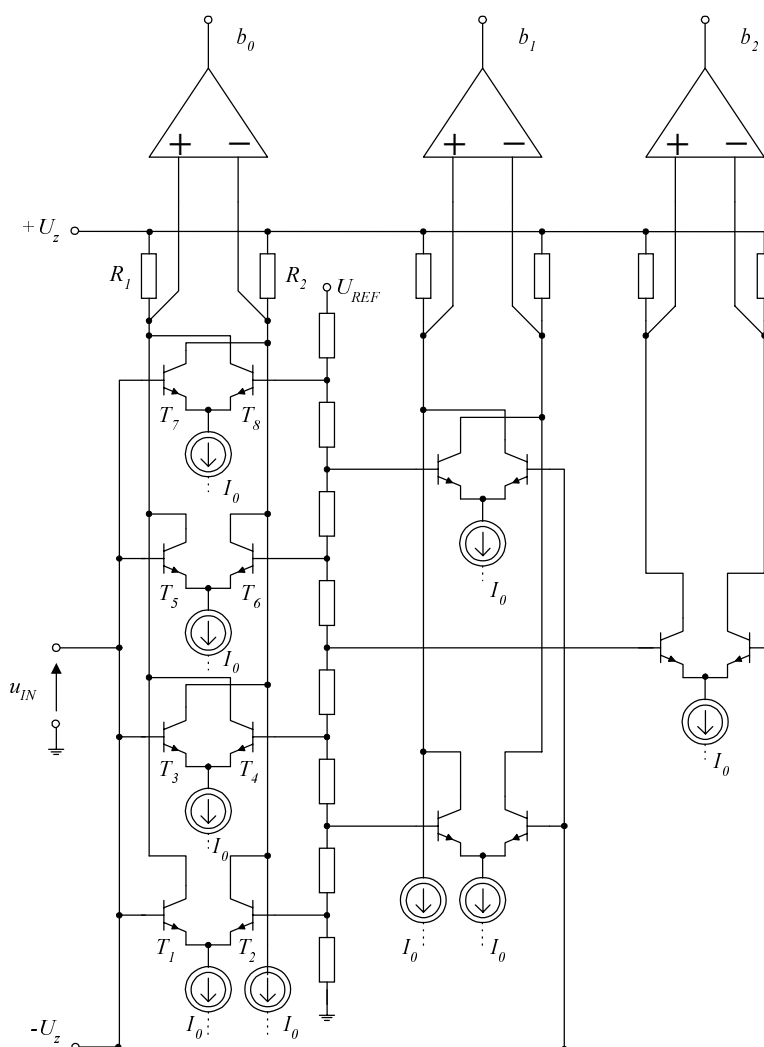
W przetwornikach o największej szybkości działania zamiast próbkowania analogowego stosuje się wejście strobuujące lub podtrzymujące (najczęściej w komparatorach - patrz rozdz. 3.5.1), pozwalające na podtrzymanie w dowolnej chwili aktualnych stanów logicznych na wyjściach komparatorów lub dekodera. Bardzo istotną sprawą przy stosowaniu strobowania jest właściwy dobór kodu słowa wyjściowego. Ze względu na przesunięcia czasowe w ustalaniu się stanów logicznych na wyjściach cyfrowych (rozrzuty czasów propagacji bramek dekodera) mogą powstawać znaczne błędy przy odczycie ich wartości chwilowych w kodzie dwójkowym lub BCD.

Założmy, że kolejnymi przetwarzanymi wartościami analogowymi są np. 3 i 4. W systemie binarnym odpowiada to zapisom $(011)_2$ i $(100)_2$. Jeżeli czasy propagacji są różne to może się przejściowo pojawić stan $(111)_2$ - co odpowiada błędowi równemu niemal połowie zakresu przetwarzania. Zapamiętanie i podtrzymanie wartości analogowej w

układzie próbkująco - pamiętającym jest mniej skuteczne niż zatrzaśnięcie stanu komparatora, gdyż analogowy układ próbkujący może posiadać niewielki dryf – co może spowodować zmianę stanu komparatora i nie zapobiegnie błędowi objawiającemu się „szpilką” fałszywego kodu pośredniego.

Problem zakłóceń szpilkowych nie jest związany w jakiś szczególny sposób z przetwornikiem równoległym, a jego przyczyna tkwi we właściwościach używanych kodów. Zauważmy, że naturalny kod binarny ma własność zmiany stanu wszystkich n młodszych bitów w trakcie przekraczania połowy wartości 2^n , podobnie jest przy przejściu przez zero dla przesuniętego kodu dwójkowego i zapisu uzupełnień do 2. Z tego względu w przetwornikach A/C, zwłaszcza tych o dużej szybkości działania, stosuje się czasem kodowanie w kodzie Graya lub innym kodzie cyklicznym (np. kołowym).

Przykład przetwornika typu flash z kodem Graya przedstawiono na rys.9.30.



Rys.9.30 Trzybitowy przetwornik typu flash z kodowaniem w kodzie Graya

Kluczową rolę odgrywają tu pary różnicowe tranzystorów spełniające rolę komparatorów wstępnych i sprzężone krzyżowo, dzięki czemu uzyskano właściwe kodowanie. Cechą charakterystyczną kodu Graya jest to, że najstarszy bit zmienia wartość na jedynkę w połowie zakresu kodowania, drugi co do starszeństwa w jednej czwartej itd. a jednocześnie w taki sam sposób zmniejsza się długość cyklu występowania na poszczególnych pozycjach zer i jedynek.

W układzie z rys.9.30 najstarszy bit jest określany za pomocą komparatora o poziomie odniesienia w połowie zakresu przetwarzania. Drugi z najstarszych bitów jest określany na podstawie kombinacji stanów komparatorów odpowiadających poziomom: $1/4$ i $3/4$ pełnego zakresu. Wartość bitu (MSB-2) uzyskuje się przez kombinację stanów komparatorów o poziomach odniesienia $1/8$, $3/8$, $5/8$ i $7/8$ pełnego zakresu itd.

Przeanalizujmy działanie układu zakładając równomierny wzrost napięcia wejściowego. Dla zerowego napięcia wejściowego przez rezystancję R_1 płynie prąd równy połowie sumy wszystkich prądów zasilających poszczególne pary różnicowe. W tym stanie przewodzą wszystkie parzyste tranzystory pierwszej kolumny par różnicowych, ale ze względu na przeplot kolektorów tylko połowa sumy prądów płynie przez R_1 , a druga połowa przez R_2 . Napięcie różnicowe pierwszego komparatora wyjściowego byłoby zatem równe zeru, gdyby nie dodatkowe źródło prądu I_0 , które powoduje, że prąd rezystora R_2 jest większy o tę właśnie wartość.

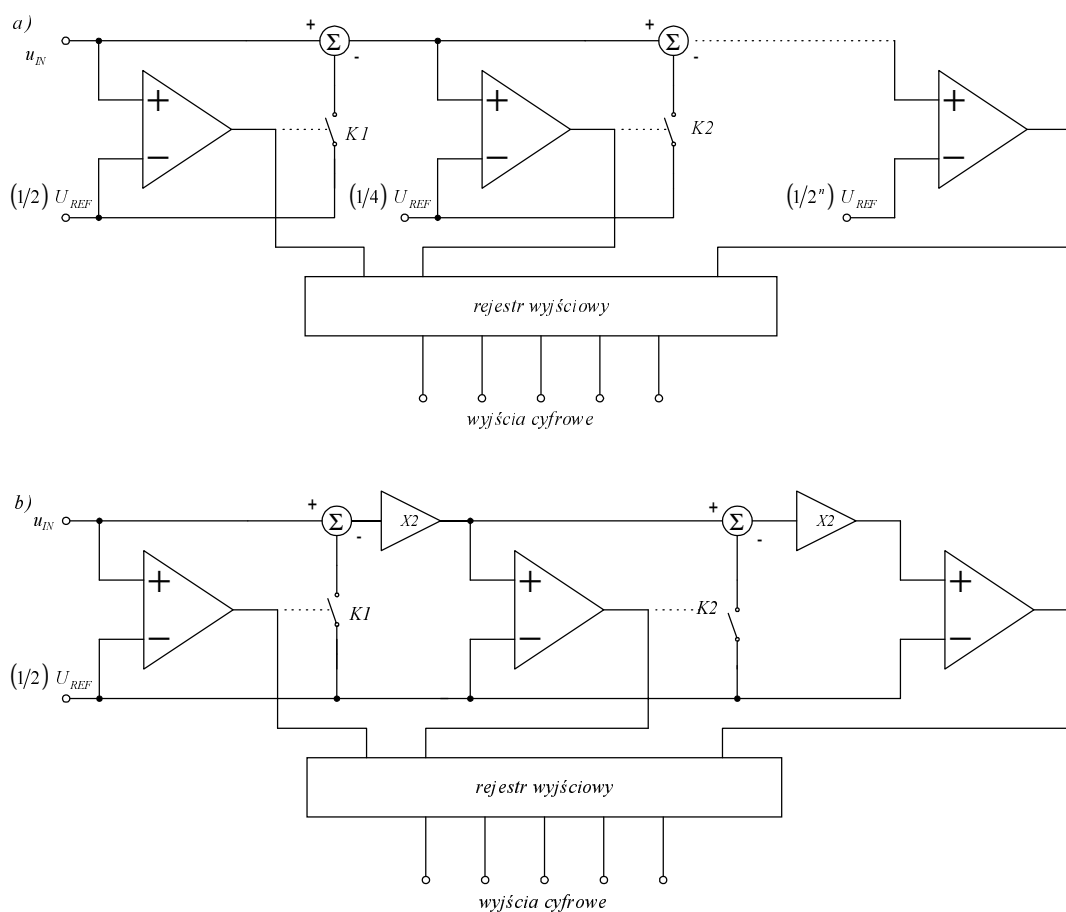
Zwiększenie napięcia wejściowego powyżej napięcia progowego odpowiadającego najmłodszemu bitowi powoduje przełączenie prądu z tranzystora T_1 na T_2 i wtedy przez rezystor R_1 płynie większy prąd (o wartości I_0) niż przez rezystor R_2 . Sytuacja taka trwa aż osiągnięty zostanie następny - właściwy dla danej pozycji próg, kiedy następuje kolejne przełączenie prądów i większy prąd o wartości I_0 wpływa do opornika R_2 . Ze względu na charakterystykę przejściową pary różnicowej do zasadniczego kodowania potrzebne są zazwyczaj wtórne komparatory, które określają stan poszczególnych bitów na podstawie znaków odpowiednich napięć różnicowych. Dla starszych bitów sytuacja wygląda podobnie z tym, że dotyczy innych progów porównania. Zauważmy też, że dla najstarszego bitu mamy wykrywanie tylko jednego poziomu, podczas gdy dla młodszych zawsze parzystej ilości. Z tego wynika, że dla wszystkich bitów, oprócz najstarszego, niezbędnym jest dodatkowe źródło prądu I_0 .

Rzecz oczywista, w układzie wykorzystującym kod Graya błąd dynamiczny jest nie do uniknięcia, jeżeli przetwarzane napięcie zmienia

swą wartość w trakcie kodowania. Tym niemniej eliminuje się tu problem fałszywych kodów pośrednich redukując błąd do najmniej znaczącego bitu.

9.4.2 Przetworniki z bezpośrednim porównaniem szeregowym - propagacyjne

W przetwornikach tej klasy stany poszczególnych bitów są uzyskiwane kolejno w n kaskadowo połączonych stopniach porównujących. Jako pierwszy na wyjściu pojawia się najbardziej znaczący bit, co może być dużą zaletą w niektórych zastosowaniach. Schemat blokowy przetwornika szeregowego przedstawiono na rys.9.31a. Każdy stopień, z wyjątkiem ostatniego, składa się z komparatora, układu odejmującego i klucza analogowego.



Rys.9.31 Przetworniki A/C propagacyjne (a) z wagowymi napięciami referencyjnymi (b) z pojedynczym napięciem referencyjnym i precyzyjnymi podwajaczami napięcia

W pierwszym stopniu przetwornika napięcie wejściowe jest porównywane z połową napięcia odniesienia. Od wyniku tego porównania zależy wartość najbardziej znaczącego bitu, który jest

wpisany do rejestru wyjściowego. Jednocześnie w zależności od wyniku porównania, zależy pozycja klucza K_1 . Jeżeli przetwarzana wartość jest większa od połowy napięcia odniesienia, to na wejście następnego stopnia podane jest napięcie będące różnicą $(u_{IN} - U_{REF} / 2)$. W przeciwnym razie - pełne napięcie wejściowe.

W obu przypadkach porównanie w drugim stopniu następuje z wartością $1/2 U_{REF}$ itd. Proces porównywania, odejmowania napięć i zapisu stanu kolejnych bitów powtarza się w n stopniach dając w wyniku cyfrową reprezentację napięcia wejściowego z założoną dokładnością. Podstawowa wersja układu korzysta z ważonych binarnie wtórnych napięć referencyjnych.

W pewnych przypadkach prostsze niż konstrukcja np. drabinki R-2R może być wykonanie precyzyjnego stałoprądowego podwajacza napięcia i wtedy stosuje się układ przedstawiony na rys.9.31b. Działanie układu jest praktycznie takie samo jak poprzednio z tym, że wszystkie komparatory można podłączyć do jednego napięcia odniesienia równego połowie zakresu przetwarzania.

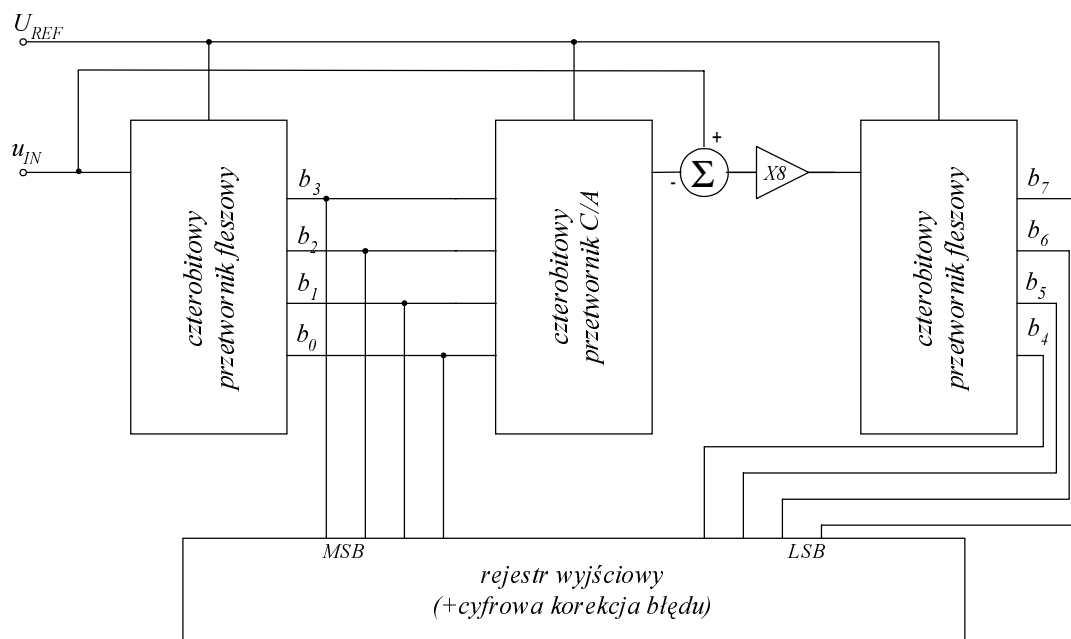
Czas przetwarzania jest tu dłuższy niż w przetworniku równoległym, ale i tak jest stosunkowo krótki, gdyż określa go suma czasów propagacji poszczególnych stopni. Dodatkową atrakcyjną cechą przetwornika szeregowego jest to, że uzupełnienie każdego ze stopni o układ próbkująco-pamiętający pozwala na rozpoczęcie konwersji następnej wartości wejściowej w czasie, gdy określane są mniej znaczące bity poprzedniej. Taki tryb pracy potokowej (ang. *pipeline ADC*) jest szczególnie często stosowany w układach akwizycji danych.

9.4.3 Przetworniki szeregowo-równoległe

Metoda szeregowo-równoległa zwana również dwustopniową metodą typu flash (ang. *two step flash ADC*) łączy w sobie szybkość metody równoległej i dużą rozdzielczość, przy umiarkowanej komplikacji układu.

Podstawową zasadą jest stosowanie dwu kwantyzacji – zgrubnej i dokładnej. Zasadniczą zaletą w stosunku do metody równoległej jest tu znaczące zmniejszenie liczby niezbędnych komparatorów, dla przetwornika n – bitowego z $2^n - 1$ do $2 \cdot (2^{n/2} - 1)$. W wymiarze praktycznym oznacza to, że w przetworniku np. ośmiobitowym potrzebujemy tylko 30 komparatorów zamiast 255.

Schemat blokowy omawianego przetwornika przedstawia rys.9.32.



Rys.9.32 Siedmiobitowy przetwornik szeregowo- równoległy z cyfrową korekcją błędów

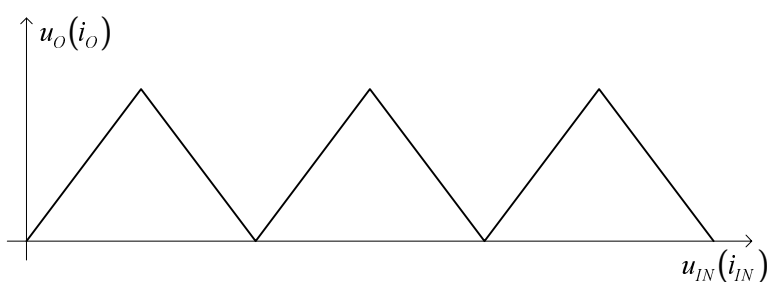
Sygnał wejściowy jest najpierw przetworzony w czterobitowym przetworniku zgrubnym w wyniku czego określone są 4 starsze bity reprezentacji. Ta wartość cyfrowa jest przetworzona z powrotem na analogową w czterobitowym przetworniku C/A, po czym odjęta od wartości oryginalnej. W wyniku otrzymujemy więc różnicę pomiędzy wielkością analogową a jej reprezentacją czterobitową, czyli błąd kwantyzacji zgrubnej, który zostaje poddany dalszemu kodowaniu w drugim stopniu, co pozwala na określenie następnych 4 bitów. Zazwyczaj stosuje się jeszcze wzmocnienie błędu kwantyzacji o odpowiedni czynnik (w naszym przypadku $2^4=16$), aby oba przetworniki flash mogły mieć ten sam zakres przetwarzania.

Poprawna praca układu szeregowo-równoległego wymaga spełnienia pewnych warunków. Pierwszym z nich jest żądanie, aby zarówno przetwornik A/C zgrubny jak i pomocniczy przetwornik C/A miały liniowość odpowiadającą wymaganej rozdzielczości sumarycznej. W przeciwnym wypadku błąd kwantyzacji zgrubnej może wychodzić poza zakres dokładnego przetwornika A/C powodując jego przesterowanie. Jednak często jest to wymóg bardzo trudny do spełnienia, przynajmniej w odniesieniu do zgrubnego przetwornika A/C. Rozwiązaniem jakie jest najczęściej stosowane jest obniżenie mnożnika do połowy (w naszym przypadku z 16 do 8 rys.9.32), co powoduje, że jeden z bitów jest wytwarzany zarówno przez przetwornik zgrubny jak i dokładny. Jeżeli sygnał z przetwornika dokładnego, z powodów błędu liniowości przetwornika zgrubnego, wyjdzie poza przewidziany zakres,

to wartość zgrubną za pomocą tego bitu można zwiększyć lub zmniejszyć. Odpowiada to korekcji błędu liniowości przetwornika zgrubnego do wartości $\pm \frac{1}{2}$ LSB a zatem jego liniowość nie musi być, w odróżnieniu do poprzedniego przypadku, lepsza niż rozdzielczość. W takim systemie, zwanym przetwornikiem z cyfrową korekcją błędów, użyty przetwornik C/A musi mieć jednak pełną dokładność (rozdzielczość i liniowość) systemu. Ze względu na korekcję błędów zakresy zgrubny i dokładny zachodzą na siebie o przynajmniej jeden bit. Aby utrzymać rozdzielczość całego przetwornika na poprzednim poziomie przetwornik dokładny powinien mieć rozdzielczość zwiększoną o jeden bit. Innym problemem jest konieczność tworzenia wartości zgrubnej i dokładnej z tej samej wartości chwilowej napięcia wejściowego. Kluczową rolę odgrywa więc tutaj jakość układu próbkującego- pamiętającego. Z drugiej strony architektura szeregową pozwala, po zastosowaniu dodatkowego układu zapamiętywania analogowej reszty sygnału, na pracę potokową jak w przetwornikach propagacyjnych.

9.4.4 Przetworniki ze składaniem sygnału

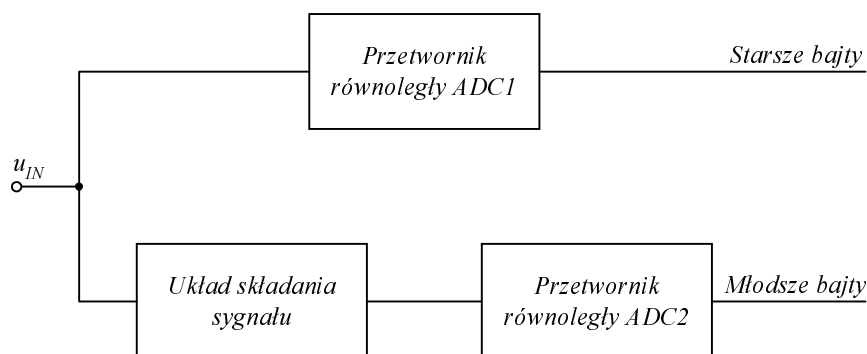
Szczególną odmianą metody bezpośredniego porównania jest metoda ze składaniem sygnału (ang. *folding*). Specyficzną cechą tej metody jest wstępne nieliniowe przetworzenie sygnału analogowego w układzie składania sygnału, którego pożądaną charakterystykę przejściową przedstawia rys.9.33.



Rys.9.33 Wymagana charakterystyka układu składania sygnału

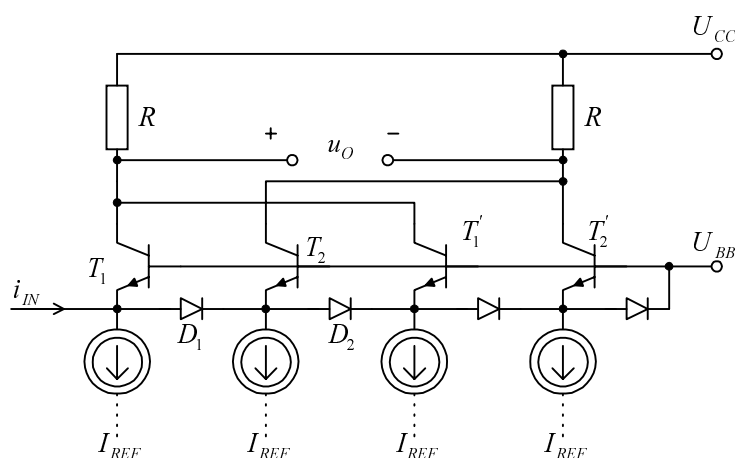
Samo przetwarzanie odbywa się w układzie o schemacie blokowym jak na rys.9.34.

Przetwornik równoległy ADC1 pełni rolę kwantyzatora zgrubnego i określa bardziej znaczące bity, a przetwornik ADC2 o zbliżonej rozdzielczości lecz zdecydowanie mniejszym pełnym zakresie wyznacza młodsze bity reprezentacji.



Rys.9.34 Schemat blokowy przetwornika A/C ze składaniem sygnału

Praktyczny przykład układu realizującego czterosegmentowe składanie sygnału prądowego przedstawiono na rys.9.35.



Rys.9.35 Układ tranzystorowy realizujący składanie sygnału prądowego

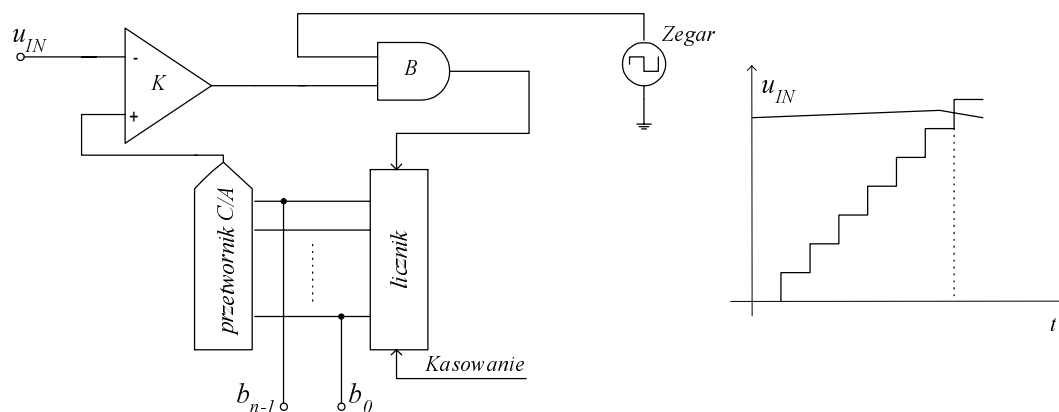
Dla zerowego prądu wejściowego przez wszystkie tranzystory płynie ten sam prąd, co ze względu na sposób połączeń kolektorów sprawia, że wyjściowe napięcie różnicowe jest zero. Wzrost prądu wejściowego powoduje zmniejszanie prądu tranzystora T_1 i w konsekwencji wzrost napięcia na jego kolektorze. Gdy prąd wejściowy osiągnie wartość I_{REF} napięcie na kolektorze T_1 wynosi U_{CC} , a na kolektorze T_2 : $U_{CC} - RI_{REF}$. Dalszy wzrost prądu wejściowego powoduje polaryzację diody D_1 w kierunku przewodzenia i wpływanie „nadmiaru” prądu wejściowego ponad wartość I_{REF} do węzła emitera tranzystora T_2 , a zatem spadek prądu kolektora i wzrost napięcia na kolektorze tranzystora T_2 . Dzieje się tak, aż prąd wejściowy osiągnie dwukrotną wartość I_{REF} , kiedy to spolaryzowana w kierunku przewodzenia zostaje dioda D_2 i nadmiar prądu wejściowego odejmuje się od prądu emitera tranzystora T_1' , co powoduje wzrost napięcia na jego kolektorze itd. Zależność różnicowego napięcia wyjściowego od prądu wejściowego wygląda

więc jak na rys.9.33, czyli spełnia warunek narzucany układowi składania. Uważny Czytelnik zauważy tu pewne podobieństwo do omawianego wcześniej układu koder Graya – w rzeczy samej różnica jest niewielka i sprowadza się do tego, że w koderze dążyliśmy do charakterystyki podobnej do składania, lecz prostokątnej, a nie trójkątnej jak obecnie. Tym niemniej kwantyzacja zgrubna może polegać na określeniu ile razy sygnał uległ składaniu. Można tego dokonać poprzez uzupełnienie układu składania o komparatory wykrywające kolejne przekroczenia zakresu przetwarzania dokładnego. Co więcej takie rozwiązanie jest bardzo atrakcyjne, gdyż starsze bity są już bezpośrednio zakodowane w kodzie Graya. W związku z tym przetworniki ze składaniem sygnału nie zawsze wymagają układu próbkująco-pamiętającego.

9.4.5. Przetworniki kompensacyjne

Drugą ważną klasę metod bezpośrednich stanowią odmiany metody kompensacyjnej, której charakterystyczną cechą jest kompensowanie (równoważenie) napięcia przetwarzanego za pomocą odpowiednio generowanego napięcia kompensującego. Ostatecznym celem tej procedury jest minimalizacja różnicy napięć uwarunkowana rozdzielczością przetwornika. Charakterystyczną cechą przetworników kompensacyjnych jest obecność przetwornika C/A w strukturze układu. Odmienne jednak niż w przypadku metody szeregowo - równoległej tu przetwornik C/A występuje w torze sprzężenia zwrotnego, a jego rolą jest wytwarzanie napięcia kompensującego.

Jedną z możliwych odmian metody kompensacyjnej jest tzw. metoda kompensacji równomiernej, której istotę zilustrowano na rys.9.36.

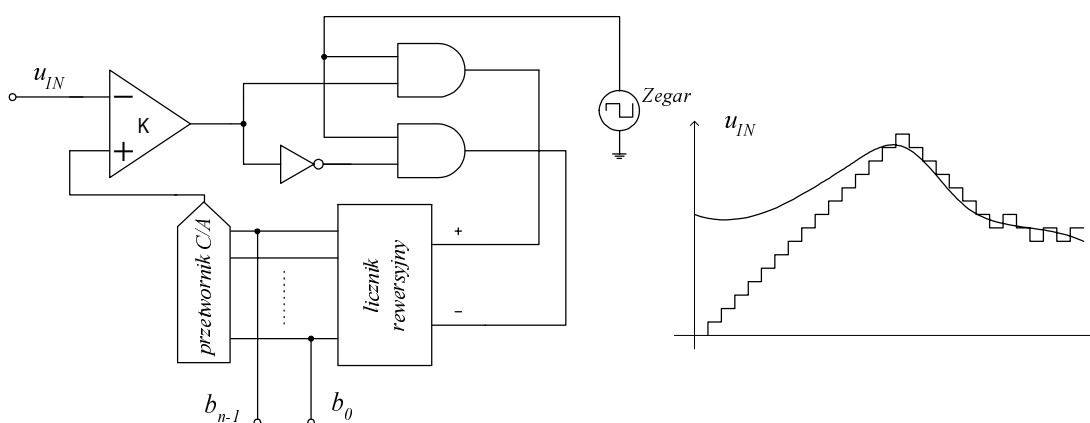


Rys.9.36 Przetwornik A/C z kompensacją równomierną

Równoważenie odbywa się tu za pomocą równomiernych przyrostów o wartości ziarna kwantyzacji, generowanych przez przetwornik C/A połączony z licznikiem. Zliczanie impulsów zegarowych inicjowane jest sygnałem zewnętrznym zerującym licznik. Zliczanie trwa aż do chwili przekroczenia przez napięcie kompensujące wartości przetwarzanej. Wtedy komparator K zmienia swój stan, zamyka bramkę B i stan licznika odpowiada chwilowej wartości napięcia wejściowego.

Wadą tej metody jest długość czasu przetwarzania – dla wartości bliskich zakresowi przetwornika wynosi on 2^n cykli zegara. Może on być znacznie krótszy, dla mniejszych wartości napięcia wejściowego, ale konieczność synchronicznego zerowania licznika powoduje, że układ jest bardzo rzadko stosowany.

Czasami wykorzystuje się nieco zmodyfikowaną odmianę metody kompensacji równomiernej zastępując zwykły licznik licznikiem rewersyjnym. Powstaje wtedy tzw. nadążny (śledzący) przetwornik A/C. Jego schemat blokowy i zasadę pracy ilustruje rys.9.37.



Rys.9.37 Nadążny przetwornik A/C

Podstawową różnicą w stosunku do rozwiązania poprzedniego jest to, że licznik liczy w przód, jeżeli różnica napięć jest dodatnia, a w tył jeżeli ujemna. Wskutek tego napięcie kompensujące zmienia się aż do przekroczenia napięcia wejściowego, a następnie „śledzi” je – skąd nazwa układu. Wartość cyfrowa może być większa lub mniejsza od przetwarzanej, podczas gdy w przetworniku z rys.9.36, tylko większa. Co więcej, w układzie z rys.9.37 licznik nigdy się nie zatrzymuje, lecz zawsze oscyluje o 1 LSB obustronnie wokół napięcia wejściowego, co zresztą stanowi pewną wadę omawianego układu. Można ją wyeliminować przez zastosowanie komparatora okienkowego i zablokowanie taktu zegara, gdy oba napięcia zrównają się z dokładnością do $\pm 1/2$ LSB. Układ przetwornika nadążnego może znaleźć zastosowanie wszędzie tam, gdzie potrzebne jest cyfrowe

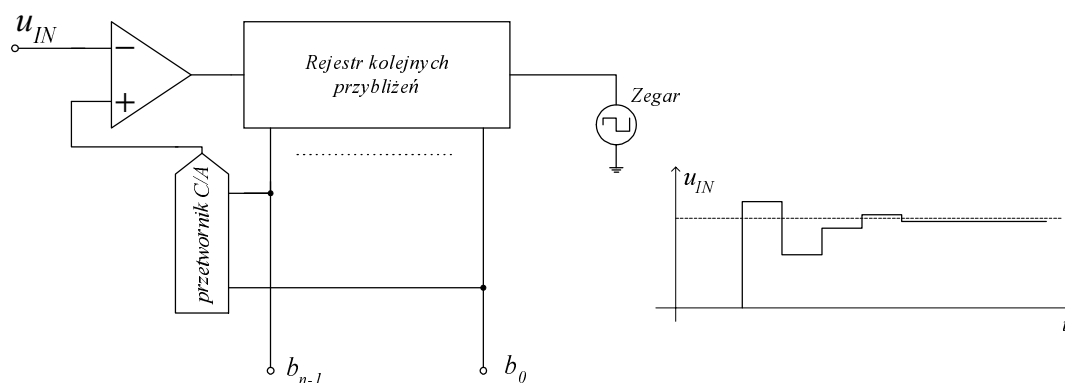
monitorowanie niezbyt szybkich zmian sygnału. Ze względu na ciągły tryb pracy śledzącej, a nie rozpoczynanie przybliżania od zera, metoda ta może oferować zadowalającą szybkość przy dobrej rozdzielczości.

9.4.6 Metoda kompensacji wagowej (kolejnych przybliżeń)

Jedną z najczęściej stosowanych metod przetwarzania analogowo-cyfrowego jest kompensacyjna z użyciem wag bitów zwana również metodą kolejnych przybliżeń (ang. *successive approximation method*).

Zasada działania tych przetworników polega na porównaniu napięcia wejściowego z napięciem wytwarzanym przez przetwornik C/A, przy czym sygnał cyfrowy sterujący przetwornikiem C/A jest modyfikowany tak, aby różnica porównywanych napięć była jak najmniejsza. W odróżnieniu od poprzednio opisaney metody kompensacji równomiernej, w przypadku kompensacji wagowej kolejne przyrosty napięcia U_K odpowiadają wagom poszczególnych bitów kodu dwójkowego.

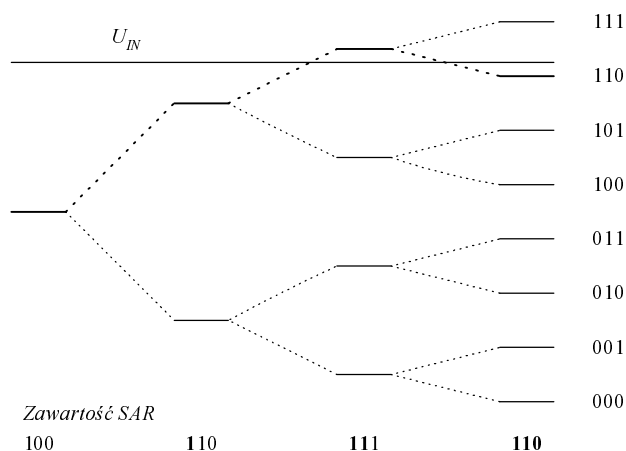
W układzie przetwornika z kompensacją wagową (rys.9.38) kluczową rolę odgrywa rejestr kolejnych przybliżeń (ang. *Successive Approximation Register, SAR*).



Rys.9.38 Przetwornik A/C z kompensacją wagową

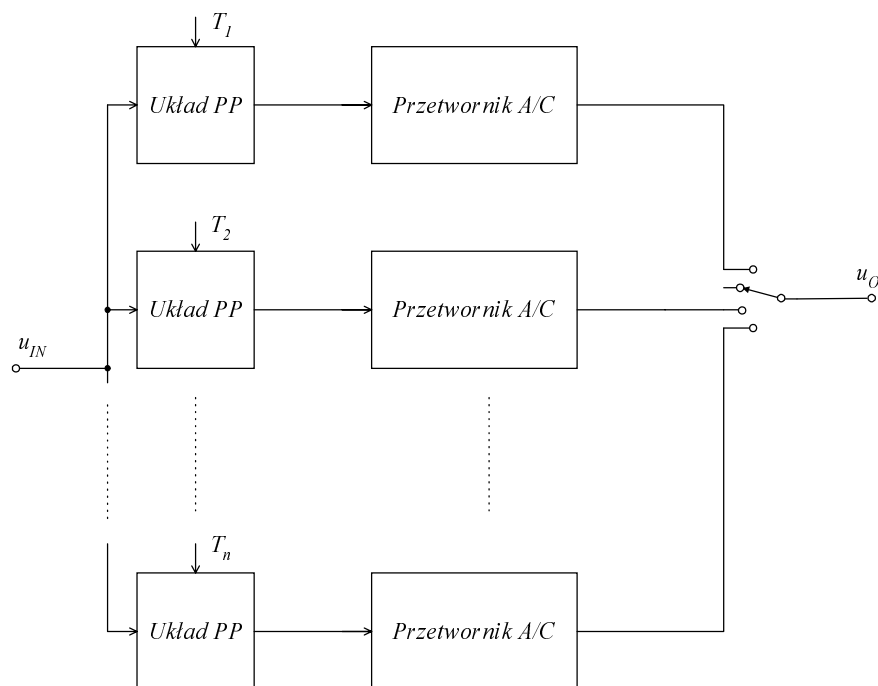
Cykl pomiaru przetwornika rozpoczyna się od ustawienia jedynki na pozycji najstarszego bitu i wyzerowania bitów pozostałych. Ta wartość cyfrowa podana zostaje na przetwornik C/A i po konwersji porównana z wartością przetwarzaną. W praktyce następuje zatem porównanie wartości mierzonej z połową zakresu przetwarzania. Jeżeli w wyniku porównania napięcie wejściowe jest większe od $(100...00)_2 \cdot U_{REF}$, to najstarszy bit słowa wyjściowego zostaje potwierdzony jako 1, w przeciwnym przypadku zamieniony na zero (rys.9.39). W kolejnych cyklach jedynka jest przesuwana o jedną

pozycję w prawo i proces zostaje powtórzony dla pozostałych bitów aż do najmłodszego.



Rys.9.39 Zasada poszukiwania wartości kompensującej w przetworniku z kompensacją wagową. Wytłuszczono potwierdzone bity rejestru kolejnych przybliżeń

Zwróćmy uwagę, że do potwierdzenia najmłodszego bitu i zakończenia procesu przetwarzania w przetworniku n -bitowym potrzebne jest $n+1$ cykli zegara. Należy również nadmienić, że w przetworniku z kompensacją wagową o przedstawionym algorytmie pracy z rejestrem kolejnych przybliżeń wynik końcowy jest zawsze mniejszy od napięcia wejściowego.



Rys.9.40 Przetwornik A/C z przeplotem czasowym

Przetworniki z kompensacją wagową charakteryzują się dość dużą

rozdzielczością (12-14 bitów), przy czasie przetwarzania rzędu od ułamka do kilku mikrosekund. Gdy tak długi czas przetwarzania jest nieakceptowalny, w niektórych systemach szybkiej akwizycji danych stosuje się architekturę równoległo-szeregową, zwaną również przetwarzaniem z przeplotem czasowym (ang. *time-interlaving*). Jej istota polega na użyciu kilku równoległe połączonych przetworników szeregowych (najczęściej przetworników z kompensacją wagową) w sposób pokazany w uproszczeniu na rys.9.40.

Ponieważ proces przetwarzania szeregowego wymaga n (lub $n+1$) kroków, można przyspieszyć przetwarzanie potokowe podając poszczególne próbki napięć na kolejne przetworniki szeregowo i po opóźnieniu n cykli dane cyfrowe pojawiają się na wyjściu systemu z częstością n -krotnie większą, niż wynikałoby to z czasu konwersji każdego z przetworników. Należy jednak zaznaczyć, że w tym przypadku układy próbkujące muszą pracować z dużo większą szybkością niż połączone z nimi przetworniki A/C.

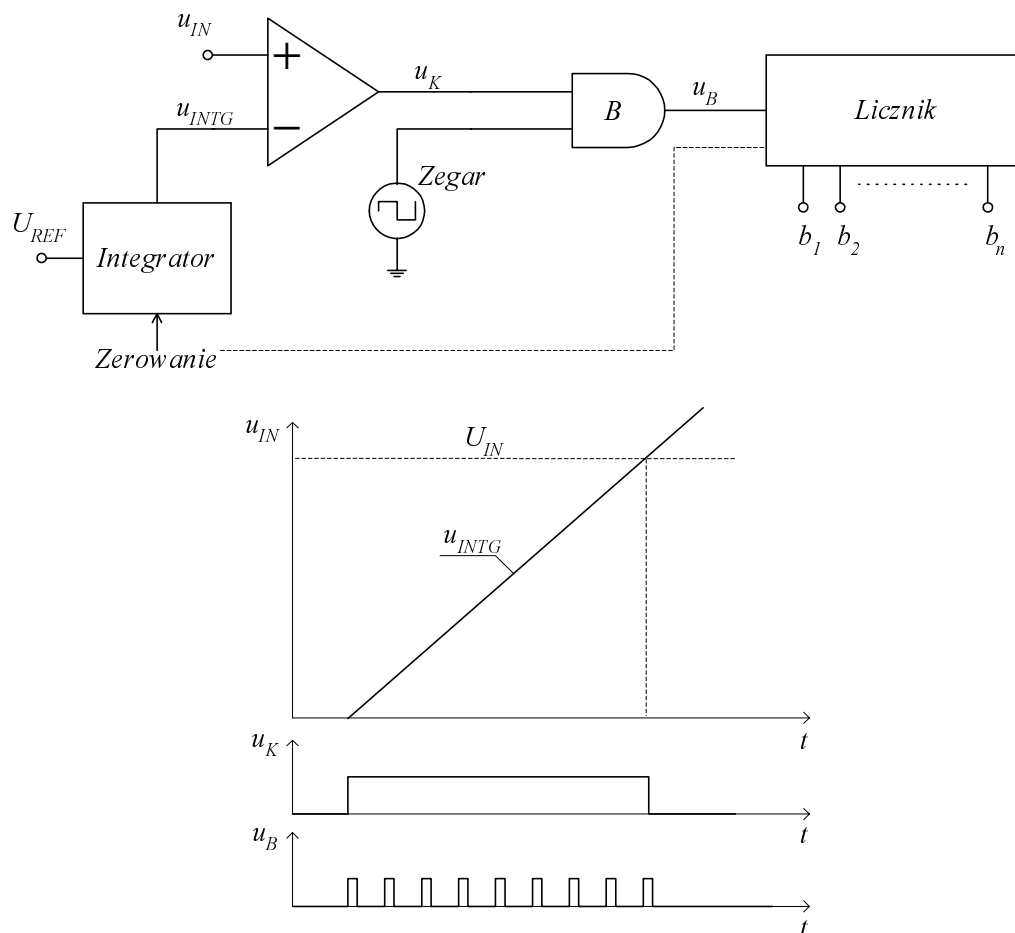
9.4.7. Przetworniki pośrednie

W metodach pośrednich, przed kwantyzacją i kodowaniem następuje zamiana przetwarzanej wartości na proporcjonalną do niej wielkość pomocniczą. Najczęściej jest nią częstotliwość generowanych impulsów lub czas trwania pewnego przebiegu prądu lub napięcia. Metody pośrednie możemy więc podzielić na częstotliwościowe i czasowe.

W metodach czasowych zasada przetwarzania polega na pomiarze czasu pewnego przebiegu napięciowego lub prądowego. Najczęściej przebiegiem tym jest liniowo narastające napięcie uzyskane na skutek ładowania kondensatora stałym prądem.

Jedną z najprostszych i najstarszych metod przetwarzania A/C jest tak zwana metoda czasowa prosta, której istotę ilustruje rys.9.41.

Generowany jest liniowo narastający przebieg napięciowy po czym jest on porównywany z wartością przetwarzanego napięcia. W czasie od startu generatora piłokształtnego do zrównania się obu napięć uruchamiany jest licznik, zatem jego stan końcowy reprezentuje wartość proporcjonalną do napięcia wejściowego (współczynnik proporcjonalności zależy od szybkości narastania napięcia piłokształtnego i częstotliwości zegara).



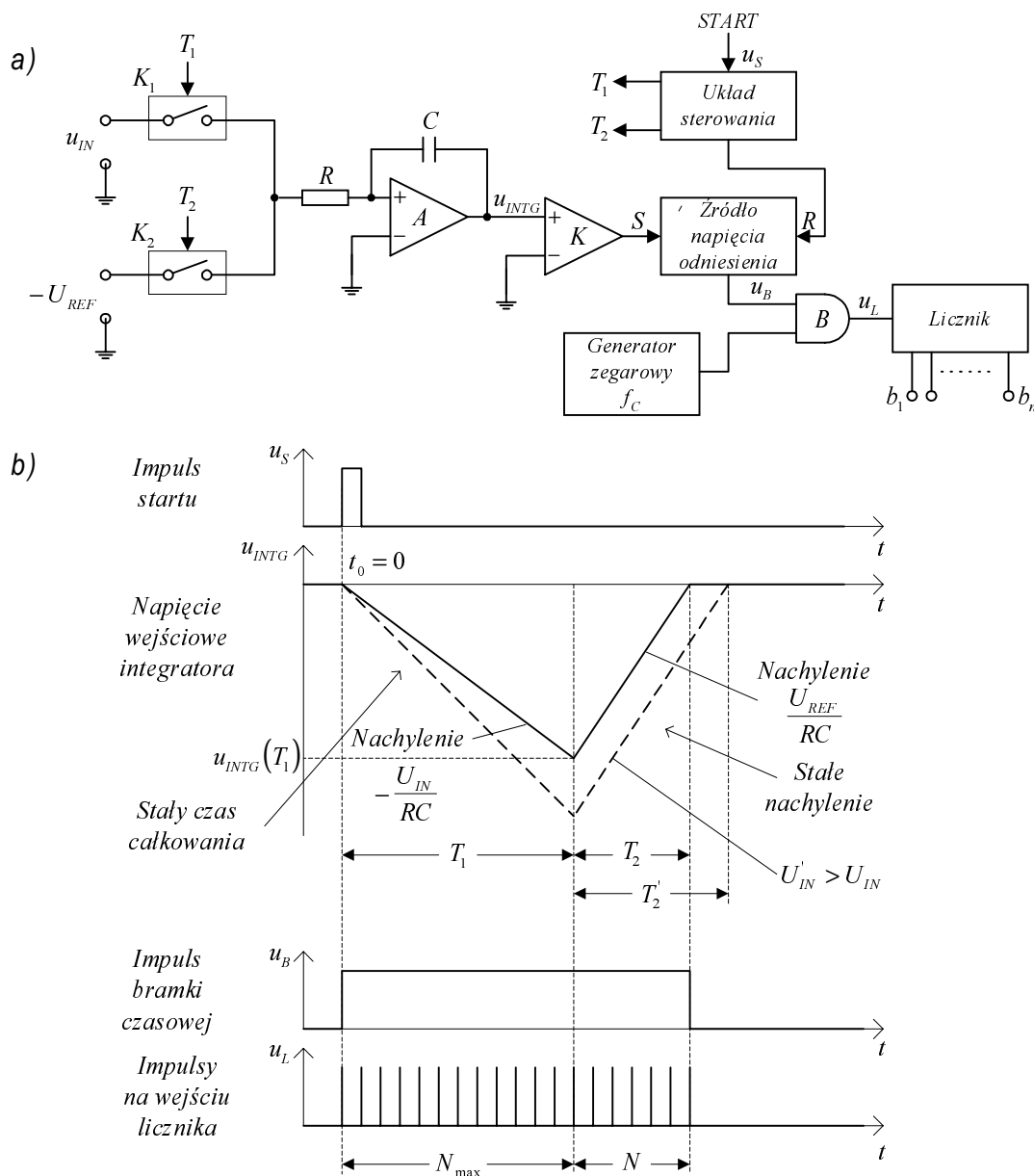
Rys.9. 41 Schemat blokowy przetwornika A/C pracującego w oparciu o metodę czasową prostą

9.4.7.1 Przetworniki całkujące

Wadą metody czasowej prostej jest stosunkowo mała dokładność, uwarunkowana stabilnością i liniowością generatora przebiegu piłokształtnego, stabilnością częstotliwości generatora zegarowego i parametrów komparatora. Dlatego praktycznie realizowane przetworniki czasowe proste wyposażone są w inteligentne systemy autokalibracji, których praca polega na systematycznych pomiarach napięć wzorcowych, określaniu błędów i wprowadzaniu korekcji przez zmianę nachylenia przebiegu liniowego bądź przestrojenie częstotliwości zegara.

W metodzie podwójnego całkowania dokładność jest w znacznym stopniu niezależna od wspomnianych wyżej czynników – co sprawia, że jest ona jednym z najdokładniejszych sposobów przetwarzania A/C a w zakresie metod o małej szybkości – zdecydowanie najpopularniejszą.

Zasadę przetwarzania z podwójnym całkowaniem przedstawiono na rys.9.42 na przykładzie schematu blokowego przetwornika oraz przebiegów czasowych napięć w układzie [31].



Rys.9. 42. Przetwarzanie A/C metodą podwójnego całkowania: a) schemat blokowy przetwornika, b) przebiegi czasowe napięć

W chwili t_0 pojawienia się impulsu startu, przyjmowanej jako chwila zerowa ($t_0 = 0$), przełącznik analogowy K_1 dołącza napięcie przetwarzane u_{IN} do wejścia integratora. W tym samym momencie t_0 przerzutnik bramki czasowej otwiera bramkę B i licznik zaczyna zliczać impulsy generatora zegarowego. Na wyjściu integratora odwracającego pojawia się liniowo opadające napięcie u_{INTG} , które po czasie T_1 osiąga wartość

$$U_{INTG}(T_1) = \frac{1}{RC} \int_{t_0=0}^{T_1} u_{in} dt = \frac{1}{RC} U_{IN \dot{s}r} T_1 \quad (9.21)$$

przy czym $U_{IN \dot{s}r}$ - średnia wartość napięcia przetwarzanego u_{IN} w czasie T_1 . Przedział czasu T_1 jest wyznaczany przez licznik, który po upływie tego czasu sygnalizuje przepełnienie, czyli przejście ze stanu 11...1 do stanu 00...0. Kończy się pierwsze całkowanie i następuje równocześnie: odłączenie przez przełącznik K_1 napięcia u_{IN} , dołączenie przez K_2 napięcie odniesienia $-U_{REF}$ do wejścia integratora (napięcie odniesienia ma przeciwny znak niż napięcie wejściowe) oraz – po przejściu zawartości licznika przez stan zero – zliczanie dalszych impulsów generatora zegarowego. Pod wpływem napięcia $-U_{REF}$ następuje w tym czasie liniowe narastanie napięcia na wyjściu integratora, osiągającego po czasie T_2 wartość zerową. W momencie osiągnięcia wartości zerowej zmienia się stan na wyjściu komparatora K , który zeruje przerzutnik, zamyka bramkę B i odłącza napięcie $-U_{REF}$ od wejścia integratora. Przebieg napięcia na wyjściu w drugiej fazie całkowania jest opisany równaniem

$$u_{INTG}(t) = u_{INTG}(T_1) - \frac{1}{RC} \int_{T_1}^t U_{REF} dt \quad (9.22)$$

Podstawiając do powyższego wzoru wartość $u_{INTG}(T_1)$ ze wzoru (9.21) otrzymujemy

$$u_{INTG}(t) = \frac{1}{RC} U_{IN \dot{s}r} T_1 - \frac{1}{RC} U_{REF} (t - T_1) \quad (9.23)$$

Po czasie $t = (T_1 + T_2)$ napięcie na wyjściu integratora jest równe zero, czyli

$$u_{INTG}(T_1 + T_2) = \frac{1}{RC} (U_{IN \dot{s}r} T_1 - U_{REF} T_2) = 0 \quad (9.23)$$

Stąd

$$T_2 = T_1 \frac{U_{IN \dot{s}r}}{U_{REF}}$$

Okres T_1 pierwszego całkowania jest wyznaczony przez pojemność licznika N_{max} i częstotliwość f_c generatora zegarowego, natomiast w okresie drugiego całkowania licznik zlicza N impulsów o tej samej częstotliwości. Tak więc podstawiając: $T_2 = N / f_c$ i $T_1 = N_{max} / f_c$ do wzoru (9.24) otrzymujemy zależność

$$\frac{N}{f_c} = \frac{N_{max}}{f_c} \cdot \frac{U_{IN \dot{s}r}}{U_{REF}}$$

Stąd

$$N = N_{max} \frac{U_{IN \dot{s}r}}{U_{REF}} \quad (9.25)$$

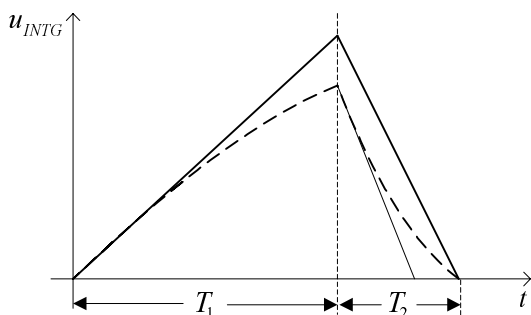
W rezultacie, liczba zliczeń N uzyskana w liczniku po całej operacji przetwarzania jest proporcjonalna do wartości $U_{IN \dot{s}r}$ - jest zatem cyfrową reprezentacją napięcia przetwarzanego w okresie T_1 .

W celu lepszego zilustrowania metody podwójnego całkowania na rys.9.42b przedstawiono przebiegi napięcia na wyjściu integratora przy dwóch różnych wartościach napięcia przetwarzanego U_{IN} oraz U'_{IN} , przy czym $U'_{IN} > U_{IN}$.

Przeprowadzona analiza jest słuszna zarówno dla dodatnich, jak i ujemnych przetwarzanych napięć u_{IN} , przy czym polaryzacja napięcia odniesienia U_{REF} , powinna być zawsze odwrotna niż polaryzacja napięcia przetwarzanego, a jego wartość równa conajmniej pełnemu zakresowi przetwarzania.

Olbrzymią zaletą przetwornika z podwójnym całkowaniem jest niezależność wyniku przetwarzania od częstotliwości zegara i parametrów układu całkującego oraz dryftu progu komparatora. Jest to bardzo istotne, gdyż cieplna i długoczasowa niestabilność tych parametrów nie powodują błędów przetwarzania. Z drugiej strony w układzie z podwójnym całkowaniem, odmiennie niż w metodzie czasowej prostej, występuje częściowa kompensacja odstępstwa od przebiegu liniowego w rzeczywistym integratorze, który ze względu na skończoną stałą czasową całkowania wytwarza przebieg wykładniczy.

Rys.9.43 wyjaśnia opisywane zjawisko – o ile w trakcie ładowania na skutek odstępstwa od przebiegu liniowego napięcie na kondensatorze będzie mniejsze od założonej wartości maksymalnej, to i w drugim kroku wystąpią analogiczne odstępstwa, czego skutkiem będzie wydłużenie czasu rozładowania. Jest to kolejna zaleta metody przetwarzania A/C z podwójnym całkowaniem.



Rys.9.43. Ilustracja zasady częściowej kompensacji wpływu odstępstwa od całkowania liniowego w układzie podwójnego całkowania

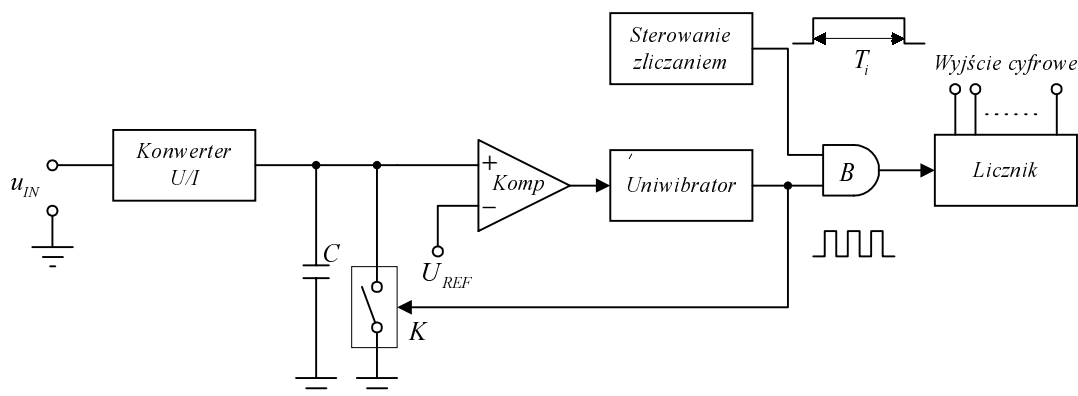
Najistotniejszą jednak cechą omawianej metody jest jej całkujący

charakter z czego wynika zdolność znacznego ograniczenia zakłóceń periodycznych, jeżeli okres całkowania T_1 dostosuje się do okresu sygnału zakłócającego (np. zakłóceń sieciowych). Umożliwia to bezproblemowe stosowanie tej metody w warunkach przemysłowych, co niewątpliwie jest jednym z czynników jej niesłabnącej popularności.

Wadą metody podwójnego całkowania jest stosunkowo długi czas przetwarzania. Jedną z prób eliminacji tej cechy jest metoda całkowania potrójnego. Jej istota polega na podziale fazy rozładowania na dwie części – w pierwszej rozładowanie jest bardzo szybkie, a po osiągnięciu napięcia odpowiadającego przykładowo 1% pełnego zakresu, szybkość rozładowania maleje stukrotnie. Oznacza to znaczne skrócenie fazy rozładowania, a zatem również całkowitego czasu konwersji. Zabieg zmniejszenia szybkości zmian napięcia w okolicach progu komparacji ma prowadzić do istotnego zwiększenia dokładności. W rezultacie metoda ta umożliwia zwiększenie szybkości konwersji przy nie zmienionej dokładności lub zwiększenie dokładności przy nie zmienionej szybkości bądź też rozwiązanie kompromisowe. Pierwsza z możliwości jest jednak stosunkowo rzadko wykorzystywana, gdyż główna zaleta metod integracyjnych polega na eliminacji zakłóceń okresowych – a do tego celu istotny jest dobór czasu całkowania sygnału przetwarzanego, który powinien być co najmniej równy (albo być wielokrotnością) okresu sygnałów zakłócających – czyli zwykle 20 ms. Skrócenie dalszych faz ma niewielki wpływ na całkowity czas konwersji. W dziedzinie zaś istotnego udoskonalenia dokładności przetwarzania opracowano metodę poczwórnego całkowania. W metodzie tej wykonuje się dwa cykle podwójnego całkowania – jeden w fazie autozerowania i drugi w fazie zasadniczego przetwarzania. Zasadnicza koncepcja tej metody polega na wyznaczeniu (w postaci cyfrowej) różnicy między wynikiem przetwarzania a wynikiem spodziewanym dla idealnych układów przetwornika. O tę wartość modyfikuje się czas, przez który w fazie właściwego przetwarzania całkuje się napięcie przetwarzane. Ma to na celu skompensowanie zależności szybkości całkowania od napięcia wejściowego i nie zrównoważenia wzmacniacza operacyjnego. Podobnie, po fazie rozładowania kondensatora koryguje się zawartość licznika o wielkość pamiętaną od zakończenia fazy autozerowania. Dzięki tej technice osiąga się dobrą kompensację błędów wynikających z niedoskonałości elementów, nie zrównoważenia w układzie integratora, nieidealności masy analogowej, zmian napięć zasilających oraz temperatury.

9.4.7.2. Przetwarzanie metodą częstotliwościową

Inną odmianą przetwarzania integracyjnego jest metoda częstotliwościowa, której istotą jest zliczanie w ustalonym okresie liczby impulsów o częstotliwości zależnej od napięcia wejściowego u_{IN} . Najprostsza implementacja metody częstotliwościowej (rys.9.44) polega na ładowaniu pojemności stałym prądem proporcjonalnym do przetwarzanego napięcia.

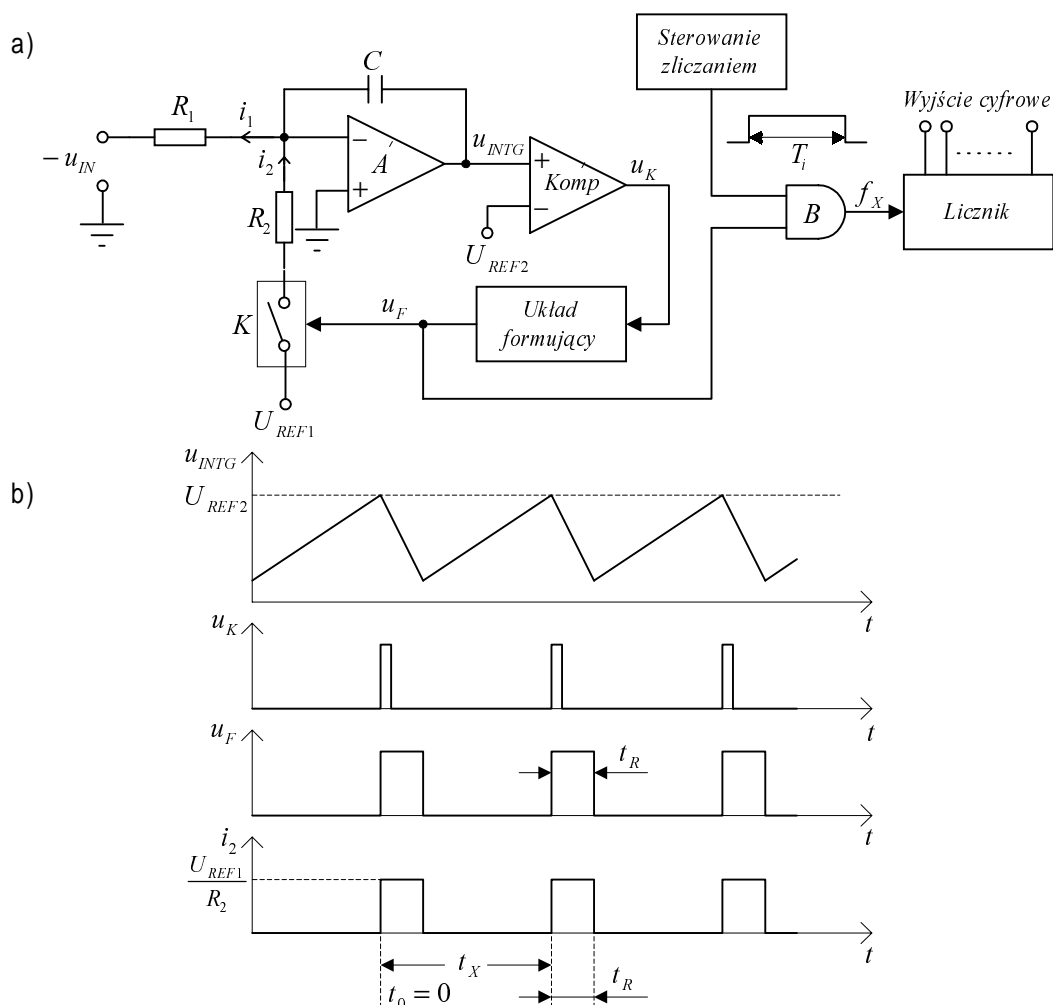


Rys.9.44. Przetwornik A/C z przetwarzaniem napięcia na częstotliwość

Narastające napięcie na kondensatorze jest porównywane z napięciem odniesienia. Zrównanie tych napięć powoduje zmianę stanu komparatora i wyzwolenie połączonego z nim uniwibratora. Impuls z tego uniwibratora zamyka klucz K powodując rozładowanie kondensatora po czym następują kolejne, powtarzające się cykle ładowania i rozładowania. Częstość powtarzania impulsów jest zależna od przetwarzanego napięcia, zatem po upływie założonego czasu stan licznika jest proporcjonalny do średniej wartości napięcia/prądu wejściowego za okres całkowania. Na wejściu układu należy zastosować precyzyjny konwerter napięcie - prąd, którym może być układ precyzyjnego transkonduktora, albo należy zastosować Millerowski integrator napięciowy.

Spośród odmian metody częstotliwościowej, szersze zastosowanie znalazły metody: równoważenia ładunków (ang. *charge balancing convertor*) oraz tzw. metoda delta - sigma [31].

W przetworniku A/C pracującym na zasadzie równoważenia ładunków impulsy ładunkowe o ściśle określonej wartości są dostarczane do integratora z częstotliwością, przy której równoważą prąd pochodzący od przetwarzanego napięcia u_{IN} . Zasadę działania tego przetwornika prześledzimy w oparciu o schemat blokowy i przebiegi czasowe w układzie, przedstawione na rys.9.45.



Rys.9.45. Przetwarzanie A/C metodą częstotliwościową z równoważeniem ładunku:
a) schemat blokowy przetwornika, b) przebiegi czasowe napięć i prądów

Napięcie u_{IN} jest całkowane w integratorze, którego napięcie wyjściowe u_{INTG} jest porównywane w komparatorze $Komp$ z napięciem odniesienia U_{REF2} .

W chwili zrównania się obu napięć na wyjściu komparatora pojawia się impuls u_F , generowany w układzie formującym, o dokładnie określonej, stałej szerokości t_R . Powoduje on dostarczenie do integratora impulsu ładunkowego o wartości $U_{REF1}t_R / R_2$. Po zakończeniu tego impulsu rozpoczyna się ponowne narastanie napięcia na wyjściu integratora i po pewnym czasie t_x , gdy przekroczy ono poziom U_{REF2} , następuje kolejne dostarczenie do integratora impulsu ładunkowego o ustalonej wartości. Ustala się równowaga dynamiczna między średnim prądem i_1 doprowadzanym ze źródła napięcia u_{IN} , a prądem i_2 pochodzącym ze źródła U_{REF1} .

Stan równowagi można zapisać w postaci równania bilansu ładunków

$$\int_{t_0=0}^{t_x+t_R} i_1 dt = \int_{t_x}^{t_x+t_R} i_2 dt \quad (9.26)$$

czyli

$$\int_0^{t_x+t_R} \frac{u_{IN}}{R_1} dt = \int_{t_x}^{t_x+t_R} \frac{U_{REF1}}{R_2} dt \quad (9.27)$$

Z równania (9.27) otrzymujemy

$$\frac{u_{IN}}{R_1} (t_x + t_R) = \frac{U_{REF1}}{R_2} t_R \quad (9.28)$$

Częstotliwość f_x impulsów na wyjściu układu formującego wynosi

$$f_x = \frac{1}{t_x + t_R} \quad (9.29)$$

Podstawiając (9.28) do (9.29) otrzymujemy

$$f_x = \frac{R_2}{R_1 U_{REF1} t_R} \quad (9.30)$$

Jak wynika z zależności (9.30), wynik przetwarzania nie zależy ani od stabilności progu komparatora U_{REF2} , ani od stabilności pojemności kondensatora C w integratorze. O dokładności całego przetwornika decyduje natomiast stałość następujących parametrów: t_R , U_{REF1} , R_2 i R_1 .

Po przetworzeniu napięcia u_{IN} na częstotliwość f_x , pomiar tej częstotliwości jest dokonywany metodą zliczania impulsów w okresie integracji T_i . Impulsy wyznaczające okres T_i są generowane w układzie sterowania zliczaniem. Liczba zliczeń uzyskana w liczniku wynosi

$$N = f_x T_i \quad (9.31)$$

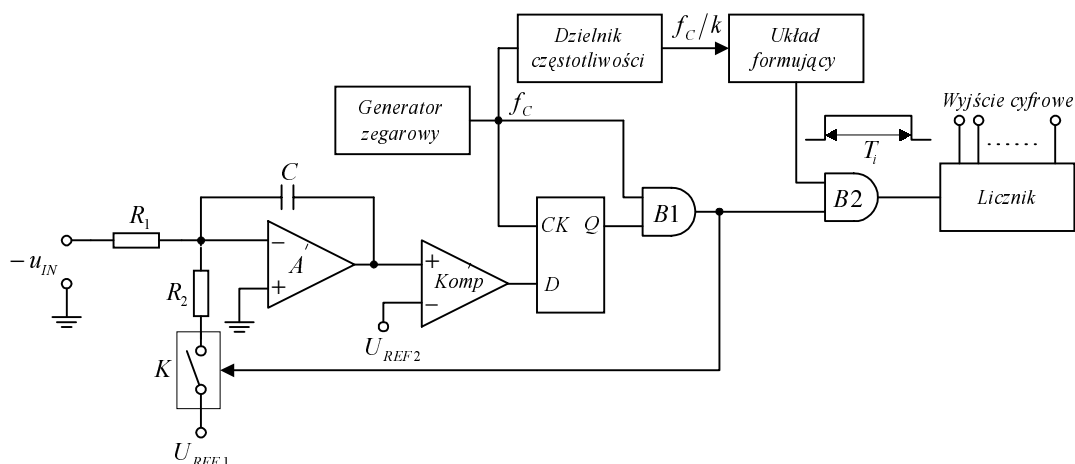
Podstawiając (9.30) do (9.31) otrzymujemy

$$N = \frac{R_2 T_i}{R_1 U_{REF1} t_R} u_{IN} \quad (9.32)$$

Jak wynika z zależności (9.32) dokładność przetwarzania zależy również od dokładności okresu zliczania T_i .

Aby uniknąć tej zależności synchronizuje się impulsy wyjściowe z komparatora oraz czas trwania okresu T_i z generatorem zegarowym.

Taka odmiana przetwornika A/C z równoważeniem ładunków jest nazywana *przetwornikiem delta-sigma*, którego schemat blokowy przedstawiono na rys.9.46.



Rys.9.46. Schemat blokowy przetwornika A/C typu delta-sigma

Impulsy ładunkowe doprowadzane do integratora oraz czas trwania T_i impulsów sterujących zliczaniem są synchronizowane impulsami generatora zegarowego o częstotliwości f_c . Do synchronizacji czasu t_R służy przerzutnik typu D oraz bramka logiczna B_1 . Impuls na wyjściu bramki B_1 , zsynchronizowany z impulsem zegarowym, pojawia się tylko wówczas, gdy na wyjściu komparatora występuje wysoki poziom logiczny. Ponieważ przetwornik działa na zasadzie równowagi ładunków doprowadzanych i odprowadzanych z integratora, dlatego możemy zapisać równanie bilansu ładunków

$$\frac{1}{R_1 C} \int_0^{T_i} u_{IN} dt = \frac{N}{R_2 C} \int_0^{t_c/2} U_{REF1} dt \quad (9.33)$$

przy czym T_i - okres integracji,

$t_c / 2$ - szerokość impulsu ładunkowego określająca czas zamykania przełącznika K , równy połowie okresu generatora zegarowego,

N - liczba impulsów zliczonych w czasie T_i .

Z równania (9.33) wynika zależność

$$N = \frac{2R_2 T_i}{R_1 U_{REF1} t_c} \quad (9.34)$$

Przyjmując $T_i = k t_c$ i podstawiając tę zależność do (9.34) otrzymujemy

$$N = \frac{2kR_2}{R_1 U_{REF1}} u_{IN} \quad (9.35)$$

Jak wynika z zależności (9.35), wynik przetwarzania nie zależy od okresu integracji T_i ani od częstotliwości f_c generatora zegarowego.

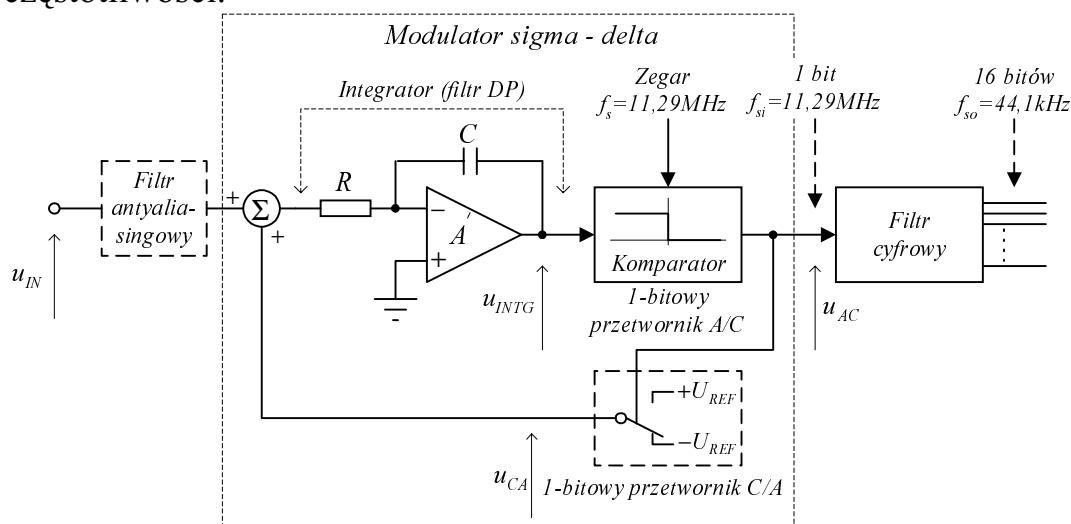
9.4.8 Przetworniki z próbkowaniem nadmiarowym

9.4.8.1. Główne cechy przetworników

W przetwornikach z próbkowaniem nadmiarowym (ang. *oversampled converter*) dużą rozdzielczość przetwarzania osiąga się przy użyciu stosunkowo prostych przetworników A/C i C/A i próbkowaniu sygnału z częstotliwością znacznie przekraczającą częstotliwość Nyquista. W pewnym sensie można powiedzieć, że „wymieniamy” dużą rozdzielczość w czasie na rozdzielczość amplitudową. Dzięki temu, kosztem rozbudowy szybkich bloków cyfrowych unikamy konieczności stosowania bardzo precyzyjnych układów analogowych, co byłoby kłopotliwe do realizacji w dominującej obecnie technologii CMOS. Jak pamiętamy z części wstępnej niniejszego rozdziału stosunek sygnał-szum w przetwarzaniu analogowo-cyfrowym jest determinowany przez rozdzielczość bitową przetwornika. Odwracając sytuację można powiedzieć, że osiągalny w układzie stosunek sygnał-szum określa równoważną rozdzielczość przetwornika. Ze względu na nadpróbkowanie, moc szumu kwantyzacji rozkłada się w szerszym paśmie częstotliwości, a zatem przy niezmiennym paśmie użytecznym stosunek sygnał-szum rośnie. Przykładowo, jeżeli zwiększymy częstotliwość próbkowania dwukrotnie, to można spodziewać się dwukrotnego wzrostu SNR, czyli wzrostu o 3 dB, co zgodnie ze wzorem (9.7) odpowiada zwiększeniu rozdzielczości o pół bitu. Efekt ten jest zatem interesujący, ale niezbyt atrakcyjny – zwiększenie rozdzielczości na tej drodze o jeden bit wymaga czterokrotnego wzrostu częstotliwości próbkowania i rośnie wykładniczo. To, że technika próbkowania nadmiarowego jest mimo wszystko atrakcyjna wynika z faktu możliwości kształtowania szumu kwantyzacji przez zmianę charakteru błędu konwersji. Dzięki temu następuje zamiana widma szumu polegająca na przesunięciu jego dominujących składowych do zakresu wysokich częstotliwości – poza pasmo sygnału. Przetworniki z próbkowaniem nadmiarowym są zatem często określane mianem przetworników z kształtowaniem szumu (ang. *noise shaping converters*). Technika ta pozwala na osiągnięcie rozdzielczości 16-18 bitów przy użyciu przetwornika jednobitowego, czyli komparatora. Największe znaczenie praktyczne mają zresztą tak zwane jednobitowe przetworniki A/C stosowane powszechnie w odtwarzaczach kompaktowych, choć sama zasada kształtowania szumu kwantyzacji łącznie z nadpróbkowaniem może być stosowana dla dowolnej długości słowa kodowego.

9.4.8.2. Jednobitowe przetworniki analogowo-cyfrowe

Najprostszy schemat blokowy jednobitowego przetwornika A/C, przedstawiono na rys.9.47 [5]. Istotnym blokiem funkcjonalnym przetwornika jest modulator sigma - delta zawierający: integrator, strobowany komparator i jednobitowy przetwornik C/A sterowany sygnałem cyfrowym z wyjścia komparatora. Ponadto przetwornik zawiera filtr cyfrowy, który przekształca wejściowy sygnał jednobitowy o częstotliwości f_{si} na ciąg słów wielobitowych o znacznie niższej częstotliwości f_{so} . Równocześnie przetwornik filtruje widmo sygnału analogowego reprezentowanego przez sygnał cyfrowy. Działanie przetwornika można najłatwiej zilustrować w dziedzinie czasu, a parametry przetwornika łatwiej wyznacza się w dziedzinie częstotliwości.

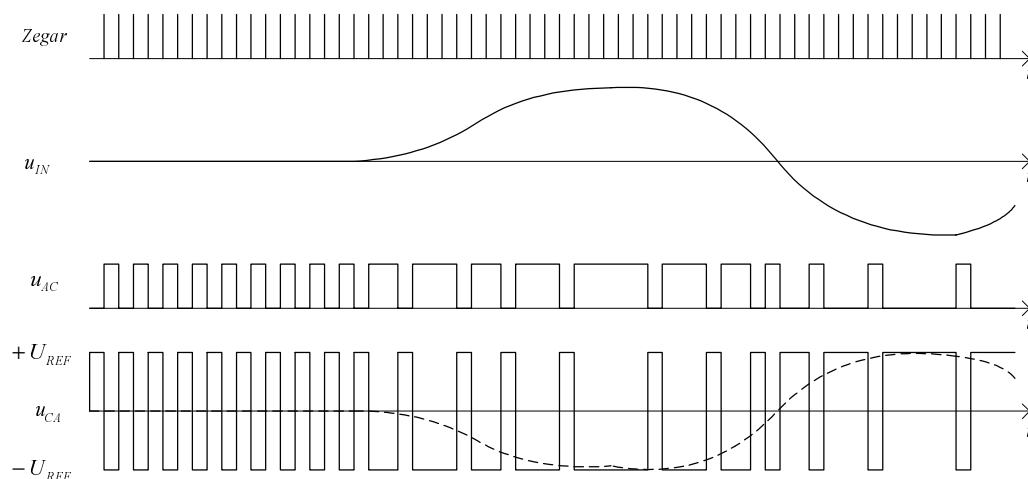


Rys.9.47. Prosty układ jednobitowego przetwornika A/C z próbkowaniem nadmiarowym

Na rys.9.48. przedstawiono idealizowane przebiegi czasowe napięć w układzie.

Przetwornik jest układem z ujemnym sprzężeniem zwrotnym dążącym do stanu równowagi, w którym średni ładunek zgromadzony w kondensatorze C integratora jest zerowy. Gdy napięcie wyjściowe integratora u_{INTG} jest ujemne ($u_{IN} > 0$), to komparator w każdym okresie zegara znajduje się w stanie wysokim na wyjściu (bit=1), co powoduje, że klucz w przetworniku C/A jest dołączony do napięcia $-U_{REF}$.

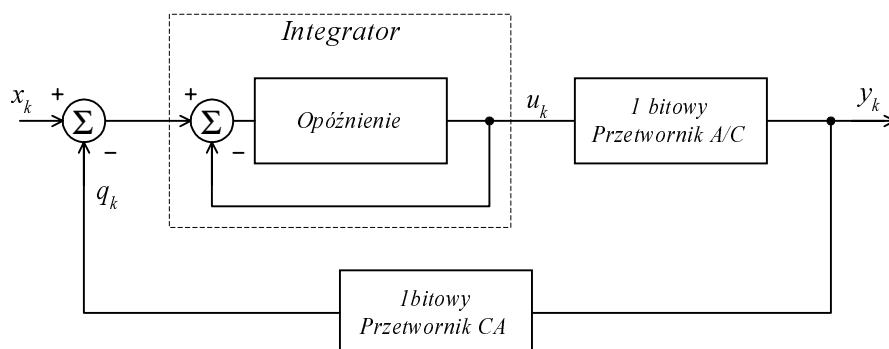
Wywołuje to dopływ ujemnego ładunku do integratora i wzrost napięcia u_{INTG} w kierunku zera. Im bardziej dodatnie jest napięcie wejściowe, tym większy jest stosunek jedynek do zer w sygnale wyjściowym komparatora. Gdy $u_{INTG} > 0$, to komparator znajduje się w stanie niskim na wyjściu (bit=0) i następuje ładowanie kondensatora C w przeciwnym



Rys.9.48. Przebiegi czasowe napięć w przetworniku jednobitowym

kierunku. Przy zerowym napięciu wejściowym układ generuje symetryczny ciąg impulsów prostokątnych o niewielkiej amplitudzie. Cały przetwornik może być w dziedzinie czasu rozważany jako układ z równoważeniem ładunku, przekształcającym napięcie wejściowe na ciąg impulsów o modulowanej gęstości. Im krótszy jest okres zegara T_s (czas między kolejnymi porównaniami), tym dokładniej sygnał wejściowy jest odwzorowany ciągiem zero-jedynkowym wytwarzanym przez komparator. Rolą integratora jest całkowanie sygnału błędu będącego różnicą między aktualnym napięciem wejściowym a szacunkową wartością tego napięcia, generowaną przez przetwornik C/A na podstawie poprzednich próbek sygnału. Stała czasowa powinna być większa niż okres próbkowania T_s i jednocześnie dostatecznie mała w porównaniu z okresem $T_g = 1/\omega_g$ odpowiadającemu górnej częstotliwości pasma sygnału wejściowego.

Przybliżoną analizę właściwości częstotliwościowych modulatora sigma - delta przeprowadzimy w oparciu o jego schemat blokowy, przedstawiony na rys.9.49.



Rys.9.49 Schemat blokowy modulatora sigma-delta

Integrator działa jako analogowy akumulator, który sumuje napięcie wyjściowe integratora u_{INTG} z napięciem podawanym na jego wejście.

Przetwornik jednobitowy A/C to po prostu komparator, zaś jednobitowy przetwornik C/A dodaje lub odejmuje napięcie odniesienia - w zależności od stanu komparatora. Wszystkie sygnały w układzie indeksowane są za pomocą liczby całkowitej k - oznaczającej numer cyklu przetwarzania.

Zgodnie z oznaczeniami z rys.9.49 sygnał na wyjściu integratora możemy zapisać równaniem

$$u_k = x_{k-1} - q_{k-1} + u_{k-1} \quad (9.36)$$

Błąd kwantyzacji wnoszony przez przetwornik jednobitowy może być określony jako

$$q_k = y_k - u_k \quad (9.37)$$

Wstawiając (9.36) do (9.37) sygnał wyjściowy zapiszemy jako

$$y_k = q_k + x_{k-1} - q_{k-1} + u_{k-1} \quad (9.38)$$

Stosunkowo łatwo można zrealizować praktycznie idealny jednobitowy przetwornik C/A – układ taki z zasady nie wnosi błędu liniowości (zatem nie zmienia widma sygnału i nie dodaje częstotliwości wielokrotnych), gdyż jego charakterystyka składa się tylko z dwu punktów. To właśnie ten fakt przesądza o popularności przetworników jednobitowych – gdyż technika nadpróbkowania może zwiększyć rozdzielczość przetwornika, ale nie jest w stanie skompensować błędów nieliniowości przetwarzania.

Dla idealnego przetwornika C/A w układzie można zapisać

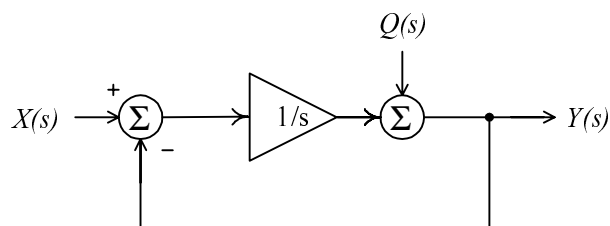
$$q_k = y_k \quad (9.39)$$

Na podstawie równań (9.37) i (9.39) otrzymujemy

$$y_k = x_{k-1} + (q_k - q_{k-1}) \quad (9.40)$$

Widać zatem, że na wyjściu układu pojawia się z opóźnieniem o jeden cykl skwantowana wartość sygnału wejściowego powiększona o różnicę błędów kwantyzacji cyklu bieżącego i poprzedniego. Można więc powiedzieć, że mamy do czynienia z częściową kompensacją błędu kwantyzacji.

Inne wyjaśnienie zachodzącego zjawiska można przeprowadzić rozważając model częstotliwościowy układu pracującego w czasie ciągłym (w zasadzie nie ma przeszkód, poza trudnościami realizacyjnymi w tanich technologiach monolitycznych w wykorzystaniu takiej wersji modulatora) przedstawiony na rys.9.50.



Rys.9.50. Model częstotliwościowy modulatora sigma-delta

Człon opóźniający ma w tym wypadku postać idealnego integratora, jednobitowy przetwornik A/C jest przedstawiony jako addytywny szum, a idealny przetwornik C/A jest bezimpedancyjnym połączeniem. Zakładając, że pasmo sygnału wejściowego jest znacznie mniejsze od pasma modulatora i wykorzystując elementarną teorię sprzężenia zwrotnego możemy zapisać

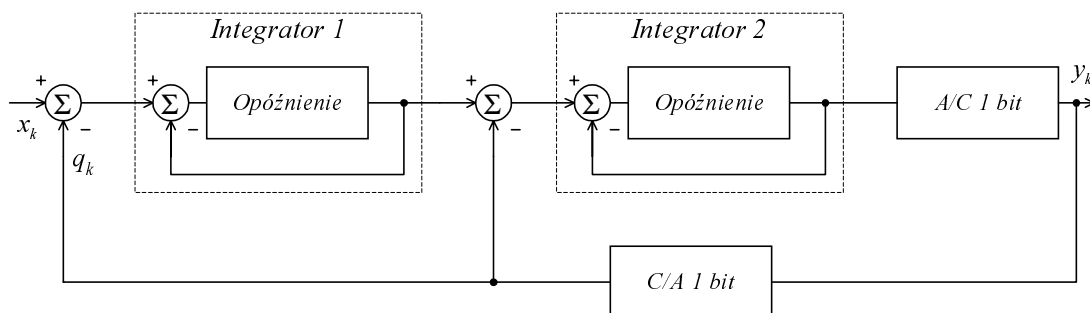
$$Y(s) = Q(s) + \frac{1}{s} [X(s) - Y(s)] \quad (9.41)$$

co po rozwikłaniu daje

$$Y(s) = Q(s) \cdot \frac{s}{1+s} + X(s) \cdot \frac{1}{1+s} \quad (9.42)$$

Zauważamy, że o ile sygnał wejściowy jest poddawany filtracji dolnoprzepustowej, to szum kwantyzacji – górnoprzepustowej. Ten zabieg jest charakterystyczny dla wszystkich metod kształtowania widma szumu i skutkuje znaczną redukcją mocy szumu kwantyzacji w użytecznym paśmie kosztem jej zwiększenia w obszarze górnych częstotliwości. Łatwo zauważyć, że kluczowym elementem odpowiedzialnym za ten proces jest integrator. Użycie większej liczby integratorów jest możliwe i często stosowane praktycznie. Otrzymujemy wtedy przetworniki wyższych rzędów.

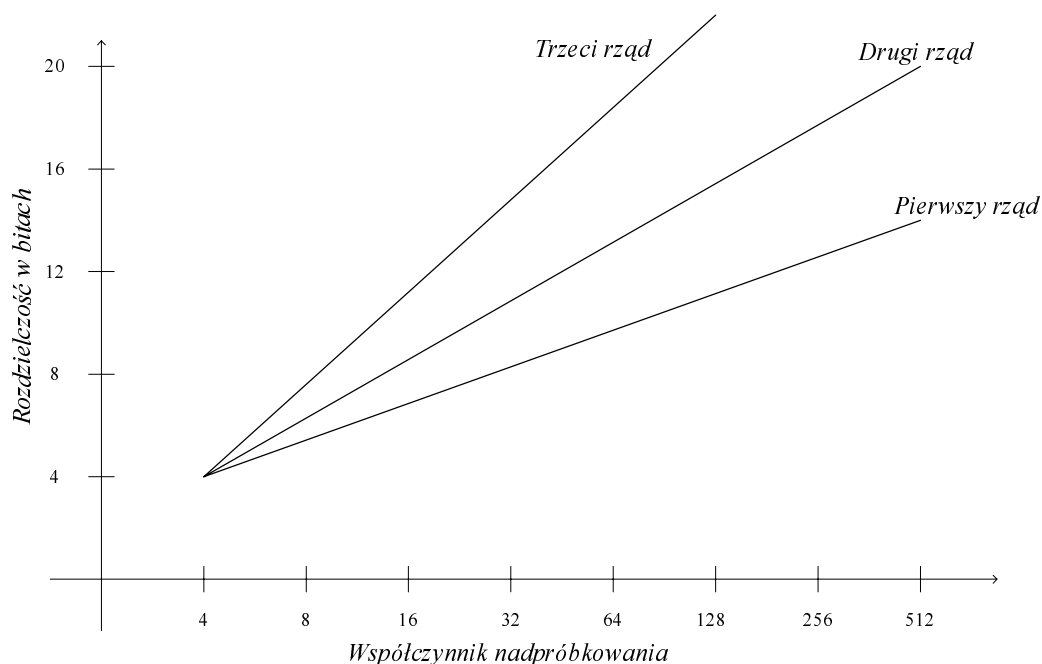
Schemat blokowy przetwornika sigma-delta drugiego rzędu przedstawiono na rys.9.51.



Rys.9.51 Przetwornik sigma-delta drugiego rzędu

W układach wyższych rzędów kształtowanie szumu jest efektywniejsze a zatem większy jest wzrost stosunku sygnał-szum. Rys.9.52

przedstawia zależność efektywnej rozdzielczości przetwornika jednobitowego w zależności od współczynnika nadmiarowości próbkowania dla modulatorów pierwszego- drugiego i trzeciego rzędu.



Rys.9.52 Zależność efektywnej rozdzielczości przetworników jednobitowych pierwszego, drugiego i trzeciego rzędu od współczynnika nadmiarowości próbkowania

Teoretycznie możliwe jest budowanie przetworników jeszcze wyższych rzędów. Nie można jednak zapominać, że są to mimo wszystko układy z wielopętlowym sprzężeniem zwrotnym i krytycznym zagadnieniem staje się stabilność takiego systemu.

Ważnym elementem przetwornika z próbkowaniem nadmiarowym jest wyjściowy filtr cyfrowy (patrz rys.9.47). Spełnia on dwie bardzo ważne funkcje. Pierwsza to eliminacja szumu kwantyzacji powyżej pasma sygnału wejściowego, zaś druga polega na przekształcaniu ciągu jednobitowych liczb wytwarzanych przez lokalny przetwornik A/C, o dużej częstotliwości powtarzania f_s , na wielobitowe słowa wyjściowe wytwarzane z częstotliwością M razy mniejszą. Proces jednoczesnej filtracji dolnoprzepustowej oraz obniżania częstotliwości próbkowania nazywany jest *filtrowaniem rozrzedzającym* (ang. *decimating filtering, decimation*).