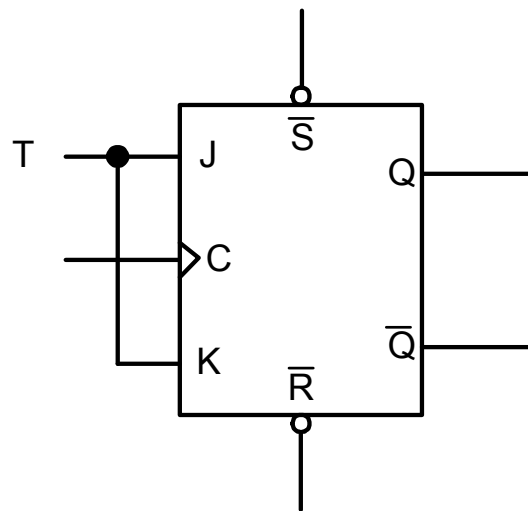


PRZERZUTNIKI



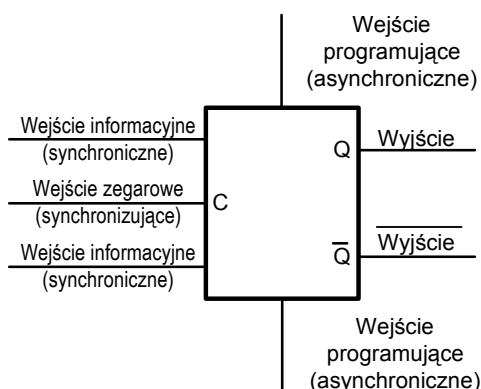
**Konspekt do ćwiczeń laboratoryjnych
z przedmiotu „TECHNIKA CYFROWA”**

SPIS TREŚCI

1. Charakterystyka ogólna, klasyfikacja i parametry przerzutników	3
1.2. Parametry Przerzutników.....	4
1.2.1 Parametry dynamiczne	4
1.2.2 Parametry statyczne	7
2. Rodzaje przerzutników	8
2.1 Sposoby opisywania przerzutników	8
2.2 Przerzutnik RS.....	8
2.3 Przerzutniki typu D	10
2.4 Przerzutnik JK.....	12
2.4.1 Przerzutnik JK wyzwalany zboczem	12
2.5.2 Dwuzboczowy przerzutnik JK Master - Slave.....	13
2.6 Przerzutnik T	14
3. Konwersje przerzutników	15
3.1 Konwersje przerzutników w dwójkę liczącą.....	15
3.2 Inne konwersje przerzutników	15
4. Tłumienie drgań zestyków.....	16
5. Problemy statyczne i dynamiczne	18
5.1 Problemy statyczne.....	18
5.2 Problemy dynamiczne	19
5.2.1 Wyścigi logiczne.....	19
5.2.2 Stany metastabilne	19
5.2.3 Nachylenie zboczy impulsów zegara	19
6. Budowa i parametry scalonych przerzutników 7472, 7474, 7475.....	20
6.1. Układ 7472 - przerzutnik JK Master	20
6.2 Układ 7474 – dwukrotny przerzutnik typu D	21
6.3 Układ 7475 – przerzutnik D „latch” (zatrzask)	22
7. Sposoby pomiaru parametrów dynamicznych przerzutników	24
7.1 Pomiar czasu propagacji od wejść synchronicznych (zegarowego).....	25
7.2 Pomiar czasu propagacji od wejść asynchronicznych \bar{S} i \bar{R}	25
7.3 Pomiary czasów ustalenia i utrzymania	26
8. Literatura	27

1. CHARAKTERYSTYKA OGÓLNA, KLASYFIKACJA I PARAMETRY PRZERZUTNIKÓW

Przerzutnik to układ elektroniczny generujący przebiegi elektryczne w wyniku przełączania między stanami: 1 zwanym wysokim (lub po prostu jedynką) oraz 0 zwanym niskim (albo zerem). Jego podstawową cechą jest zdolność do zapamiętywania, innymi słowy posiada pamięć. W postaci monolitycznej przerzutniki najczęściej są budowane z bramek logicznych. Ze względu na rodzaje wejść przerzutniki możemy podzielić na: synchroniczne i asynchroniczne. O ile w asynchronicznych zmiana wartości informacji wejściowej powoduje bezpośrednio zmianę stanu na wyjściu o tyle w synchronicznych zmiana stanu wyjściowego następuje w takt zegara. Brak impulsu zegarowego oznacza, że przerzutnik nie będzie reagował na zmiany stanu na wejściu (tzn. na jego wyjściu stan się nie zmieni). Na rys. 1.1 przedstawiono ogólny schemat przerzutnika.



Rys. 1.1 Symbol graficzny przerzutnika¹

W przerzutniku takim możemy wyróżnić następujące wejścia:

- * zegarowe (Clock) zwane inaczej synchronizującymi albo wyzwalającymi,
- * wejścia informacyjne (synchroniczne) synchronizowane przebiegiem zegarowym,
- * wejścia programujące (asynchroniczne).

Jeżeli przerzutnik ma wejście synchronizujące, to jest nazywany przerzutnikiem synchronicznym, natomiast jeśli nie ma takiego wejścia to przerzutnikiem asynchronicznym. Przerzutnik synchroniczny reaguje na informację podawaną na wejścia informacyjne tylko w obecności impulsu zegarowego. Przerzutnik może być wyposażony w dwa wejścia programujące: ustawiające S (Set) i zerujące R (Reset) zwane również odpowiednio Preset lub Clear. Należy pamiętać o tym, że wejścia asynchroniczne mają zawsze priorytet w stosunku do innych wejść przerzutnika.

Ze względu na impuls sterujący przerzutniki synchroniczne możemy podzielić na:





- * przerzutniki sterowane poziomem – zmiana stanu na wyjściu następuje podczas trwania poziomu impulsu zegarowego, tzw. przerzutniki zatraskowe (latch),
- * przerzutniki sterowane zboczem – zmiana stanu na wyjściu następuje podczas trwania zbocza impulsu sterującego (edge triggered),
- * przerzutniki dwuzboczowe (typu Master – Slave) – czytanie informacji z wejścia następuje podczas jednego zbocza, a jej przepisanie na wyjście podczas następnego.

Dodatkowo przerzutniki sterowane zboczem możemy podzielić na:

- * sterowane zboczem dodatnim, czyli narastającym (zmiana stanu zegara z 0 na 1),
- * sterowane zboczem ujemnym, czyli opadającym (zmiana stanu zegara z 1 na 0).

Poniżej przedstawiono graficzne oznaczenia wejść przerzutnika:

¹ ang. flip-flop

Symbol wejścia	Określenie wejścia
	wejście statyczne z aktywnym stanem 1
	wejście statyczne z aktywnym stanem 0
	wejście dynamiczne z aktywną zmianą stanu 0 na 1
	wejście dynamiczne z aktywną zmianą stanu 1 na 0

Tab. 1.1 Symbole graficzne wejść przerzutników

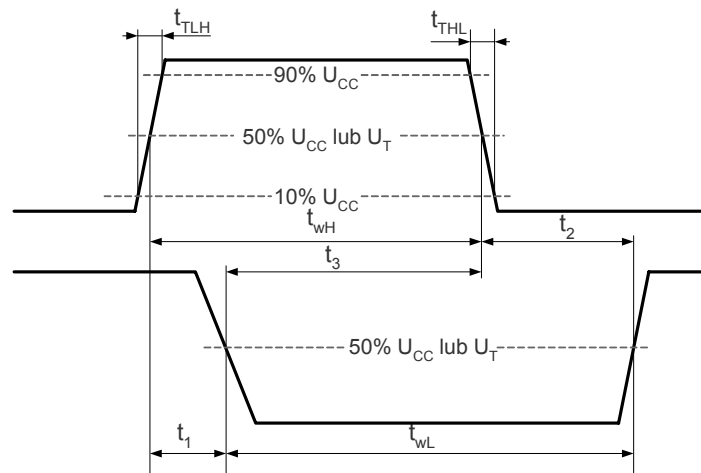
Wejście zegarowe w literaturze polskiej oznacza się symbolem **T**, w literaturze angielskiej zaś symbolem **Ck**, **Clk**, lub **C**. Dla wyeliminowania niejasności my będziemy używać tego ostatniego oznaczenia.

1.2. Parametry Przerzutników

Do opisu przerzutników stosuje się więcej parametrów dynamicznych niż do opisu bramek. W niniejszym podrozdziale zostaną opisane parametry dynamiczne i statyczne.

1.2.1 Parametry dynamiczne

Parametry dynamiczne określają zależności czasowe pomiędzy sygnałami wejściowymi a wyjściowymi. W praktyce w zależności od parametru określa się wartości minimalne, maksymalne bądź typowe. Na rys. 1.2 przedstawiono sposoby definiowania parametrów dynamicznych. Czasy narastania t_{TLH} , t_{THL} są mierzone pomiędzy 10% a 90% amplitudy sygnału. W przypadku określania czasów pomiędzy dwoma zboczami



Rys. 1.2 Zasady definiowania parametrów dynamicznych. t_{TLH} , t_{THL} – czasy narastania i opadania sygnałów, t_{wL} , t_{wH} – czasy trwania sygnału niskiego i wysokiego, t_1 , t_2 , t_3 – czasy pomiędzy zboczami sygnałów

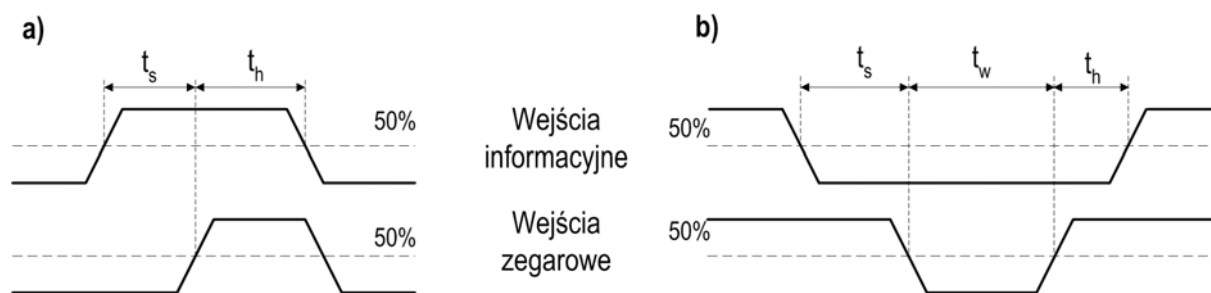
za poziom napięcia odniesienia przyjmuje się poziom odpowiadający 50% amplitudy sygnału (taką konwencję zastosowano w niniejszym opracowaniu), albo napięcie odpowiadające progowi przełączania U_T (np. dla układów TTL $U_T=1.5V$). Wartość parametrów

dynamicznych zależy od układu pomiarowego, stąd przy porównywaniu układów różnych producentów trzeba mieć to na uwadze.

Do podstawowych parametrów dynamicznych opisujących przerzutniki należą:

1. Minimalny czas trwania aktywnego poziomu sygnału t_w . Najczęściej parametr ten podaje się dla wejść asynchronicznych oraz zegarowych reagujących na poziom sygnału.
2. Minimalny czas trwania poziomu poprzedzającego i następującego po aktywnym zboczu sygnału (t_{wL} – dla poziomu niskiego, t_{wH} – dla poziomu wysokiego) - podawany dla wejścia zegarowego.
3. Maksymalny czas trwania zbocza wyzwalającego (t_{TLH} - dla zbocza narastającego oraz t_{THL} dla opadającego). Podobnie jak wyżej parametr podawany dla wejścia zegarowego.
4. Czas ustalenia (wyprzedzenia) t_s (setup time) - jest to minimalny czas, w którym sygnał musi być obecny na wejściach informacyjnych przerzutnika przed nadejściem wyzwalającego zbocza (lub poziomu) impulsu zegarowego (rys. 1.3)
5. Czas utrzymania (podtrzymania) t_h (hold time) - jest to minimalny czas, w którym sygnał wejściowy musi pozostać na wejściach informacyjnych po wystąpieniu wyzwalającego zbocza (lub po wycofaniu aktywnego poziomu) sygnału zegarowego (rys. 1.3).

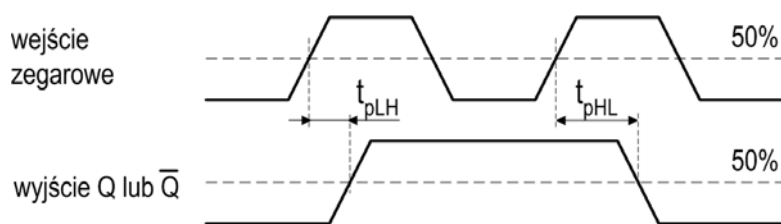
Czasy t_s oraz t_h mogą mieć inne wartości dla sygnału niskiego (t_{sL} , t_{hL}) oraz wysokiego (t_{sH} , t_{hH}). W przypadku kiedy podawana jest jedna wartość dotyczy ona większej wartości t_s , lub t_h określonych dla poziomu niskiego lub wysokiego.



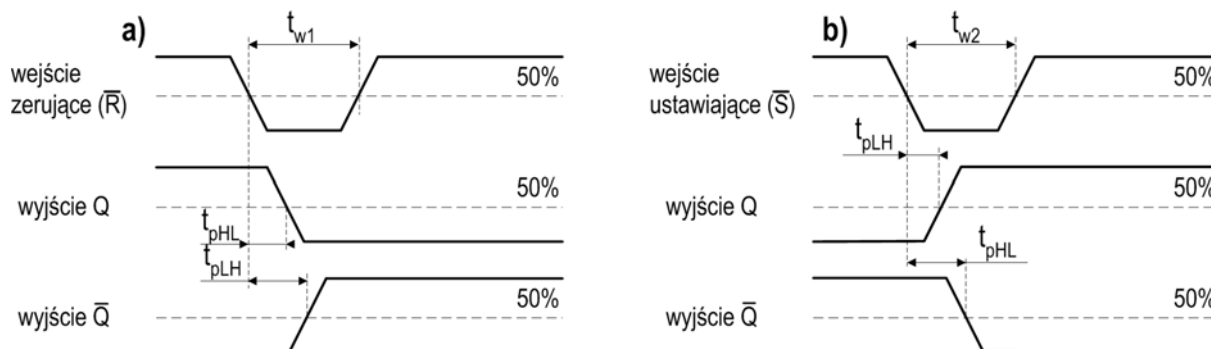
Rys. 1.3 Definicje czasów ustalenia i utrzymania dla sygnałów informacyjnych wyzwalanych zboczem (a) oraz poziomem (b)

6. Maksymalna częstotliwość przebiegu zegarowego f_{max} , przy czym częstotliwość f_{max} można uważać za minimalną gwarantowaną częstotliwość pracy układu.
7. Czas martwy t_m . Jest to minimalny czas jaki musi upłynąć od zakończenia sygnału programującego do chwili kiedy może pojawić się sygnał zegarowy lub inny sygnał programujący.
8. Czasy propagacji sygnałów od wejścia zegarowego do wyjść Q i \bar{Q} .
9. Czasy propagacji sygnałów od wejść programujących do wyjść Q i \bar{Q} .

Zarówno w pierwszym jak i drugim przypadku można wyróżnić czasy propagacji od stanu niskiego do wysokiego (t_{PLH}) oraz od stanu wysokiego do niskiego (t_{PHL}) na wyjściu. Średni czas propagacji t_p oblicza się z zależności: $t_p = 0.5(t_{PLH} + t_{PHL})$. Sposoby definicji czasów propagacji dla przypadku pierwszego i drugiego przedstawiono na rys. 1.4. i 1.5.

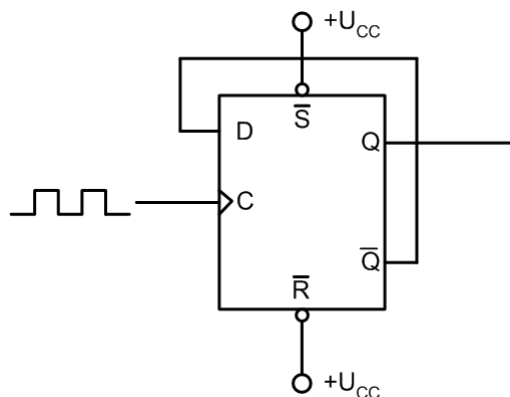


Rys. 1.4 Definicje czasów propagacji od wejścia zegarowego do wyjść Q i \bar{Q}



Rys. 1.5 Definicje czasów propagacji od wejść programujących: zerującego (a) i ustawiającego (b) do wyjść Q i \bar{Q}

Aby uświadomić ważność parametrów czasu ustalenia oraz utrzymania rozpatrzono układ prostego podzielnika częstotliwości, dla którego wyznaczono maksymalną częstotliwość zliczania w oparciu o dostępne parametry dynamiczne poza f_{\max} .

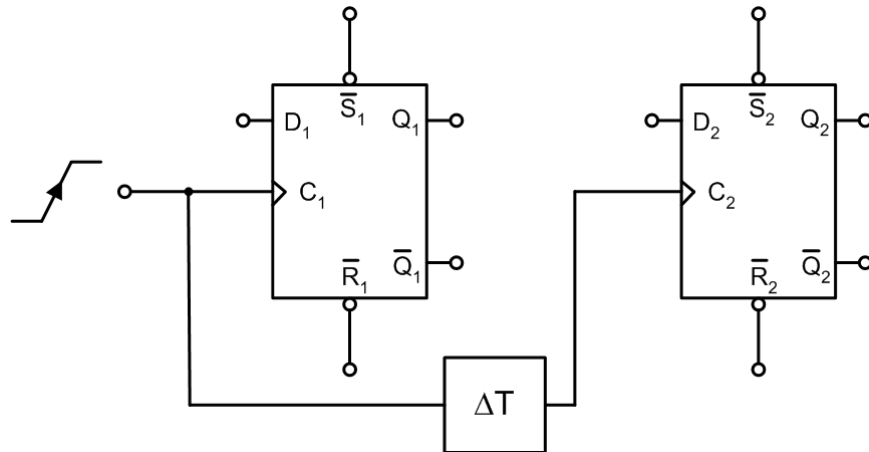


Rys. 1.6 Układ podzielnika częstotliwości przez 2 (tzw. dwójka licząca)

Informacja wpisana przez dodatnie zbocze sygnału zegarowego na wyjście \bar{Q} (a więc i na wejście D) pojawi się po upływie czasu propagacji t_p . Aby układ działał prawidłowo informacja ta nie może być wpisana przez następne zbocze sygnału zegarowego wcześniej niż po upływie czasu ustalania t_s . Dodatkowo nie może ulec zmianie przed upływem czasu utrzymania t_h . Ponieważ z reguły $t_p > t_h$, kolejne zbocze wpisujące informację nie może pojawić się wcześniej niż po upływie czasu $T_1 = t_p + t_s$. Otrzymaną wartość należy porównać z czasem $T_2 = t_{wL} + t_{wH}$ określającym minimalny czas trwania okresu sygnału zegarowego. W oparciu o dłuższy z czasów T_1 lub T_2 można wyznaczyć poszukiwaną f_{\max} .

Z bardzo ciekawym przypadkiem można mieć do czynienia jeżeli informacja z wyjścia jednego przerzutnika jest jednocześnie informacją wejściową dla drugiego przerzutnika, z tym

że oba przerzutniki są wyzwalane tym samym sygnałem zegarowym przesuniętym w czasie o ΔT (rys. 1.7).



Rys. 1.7. Przykład układu z tzw. asynchronizmem zegarowania

Dla poprawnej pracy układu informacja na wejściu drugiego przerzutnika nie może ulec zmianie szybciej niż to wynika z jego czasu utrzymania t_h . Gdyby sygnał wyzwalający docierał do obydwu przerzutników jednocześnie oznaczałoby to, że

$$t_{h2} < t_{p1},$$

gdzie t_{h2} oznacza czas utrzymania drugiego przerzutnika, natomiast t_{p1} czas propagacji pierwszego przerzutnika. Ponieważ zbocze wyzwalające dociera do drugiego przerzutnika z opóźnieniem ΔT w stosunku do pierwszego przerzutnika zatem musi być spełniona zależność:

$$t_{h2} + \Delta T < t_{p1}.$$

Zatem dopuszczalna wartość rozsynchronizowania sygnałów zegarowych wynosi:

$$\Delta T_{\max} = t_{p1} - t_{h2}$$

Efekt niejednoczesnego docierania sygnału zegarowego do elementów układu jest nazywany jest asynchronizmem zegarowania.

1.2.2 Parametry statyczne

Parametry statyczne opisują właściwości elektryczne wejść i wyjść przerzutników. Można wyróżnić parametry napięciowe i prądowe. Podstawowymi parametrami napięciowymi są (podobnie jak dla bramek) wartości napięć U_L i U_H reprezentujące poziomy logiczne na wejściu i wyjściu oraz marginesy zakłóceń statycznych dla stanu niskiego i wysokiego (szczegółowe omówienie parametrów statycznych można znaleźć w rozdziale 3 – bramki). Wśród parametrów prądowych można wyróżnić wydajności prądowe stopni wejściowych i wyjściowych dla stanów niskiego i wysokiego.

2. RODZAJE PRZERZUTNIKÓW

2.1 Sposoby opisywania przerzutników

Działanie przerzutnika można opisać za pomocą tzw. tablicy prawdy, tablicy przejść, tablicy wzbudzeń lub wykresu czasowego.

Tablica prawdy (tablica wartości funkcji, tablica stanów) określa stany na wejściach informacyjnych przerzutnika przed nadejściem impulsu zegarowego w chwili t_n (lub t) i stany na wyjściach po wystąpieniu impulsu zegarowego w chwili t_{n+1} (lub t'). Ten sposób opisu jest także wykorzystywany do opisu działania podstawowych funktorów logicznych.

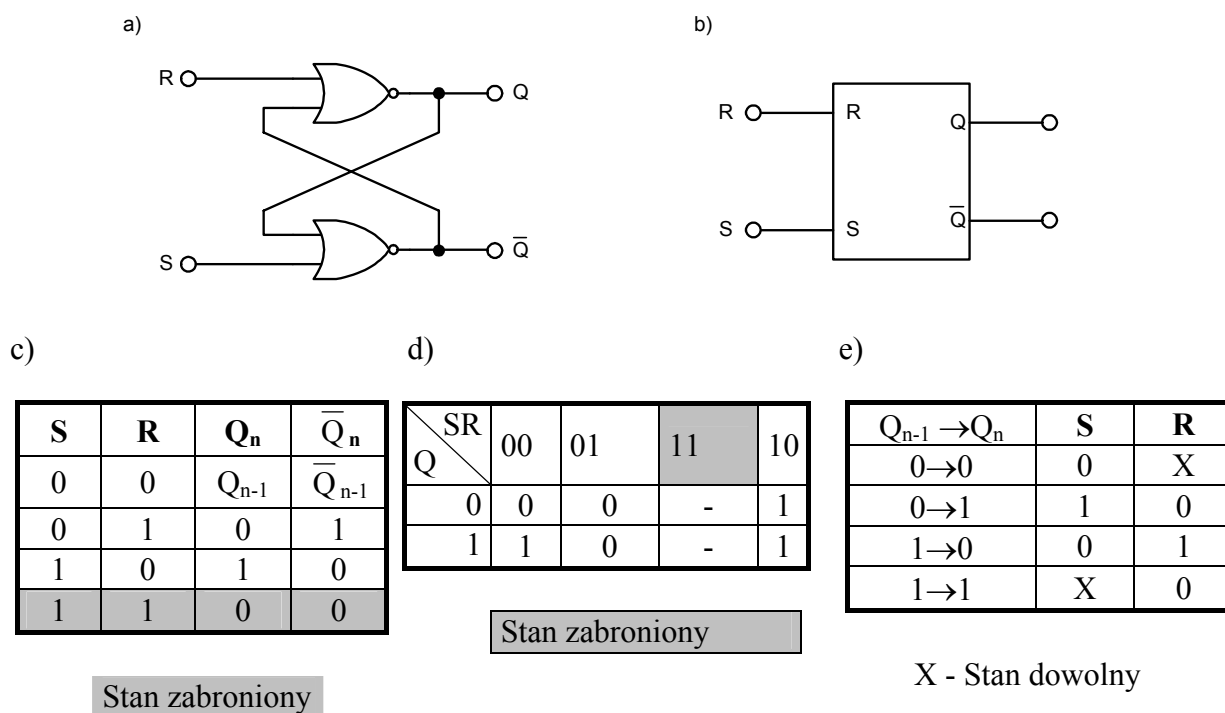
Tablica wzbudzeń określa, jaki powinien być stan wejść informacyjnych, aby przerzutnik przeszedł z jednego stanu do drugiego.

Tablica przejść określa, jaki będzie kolejny stan przerzutnika w zależności od aktualnego stanu przerzutnika i od aktualnego stanu jego wejść. Tablica przejść jest rysowana dość często w układzie tablicy Karnaugh² i na jej podstawie jest sporządzany opis boolowski przerzutnika.

Wszystkie te sposoby opisu są sobie równoważne, czyli dysponując jednym z nich, możemy określić każdy inny. Przedstawiony opis przerzutnika typu RS i przerzutnika typu JK przedstawia te wszystkie metody w celu ich porównania.

2.2 Przerzutnik RS

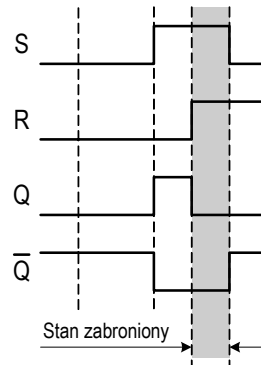
Wzajemnie sprzężona para bramek NOR w sposób pokazany na rysunku tworzy najprostszy przerzutnik typu asynchroniczny RS. Posiada on dwa dopełniające się wyjścia Q i \bar{Q} oraz dwa wejścia programujące - ustawiające S (ang. Set) i zerujące R (ang. Reset).



Rys. 2.1 Przerzutnik RS zbudowanego z bramek NOR (a), jego symbol graficzny (b), tablica prawdy (c), przejść (d) oraz wzbudzeń (e).

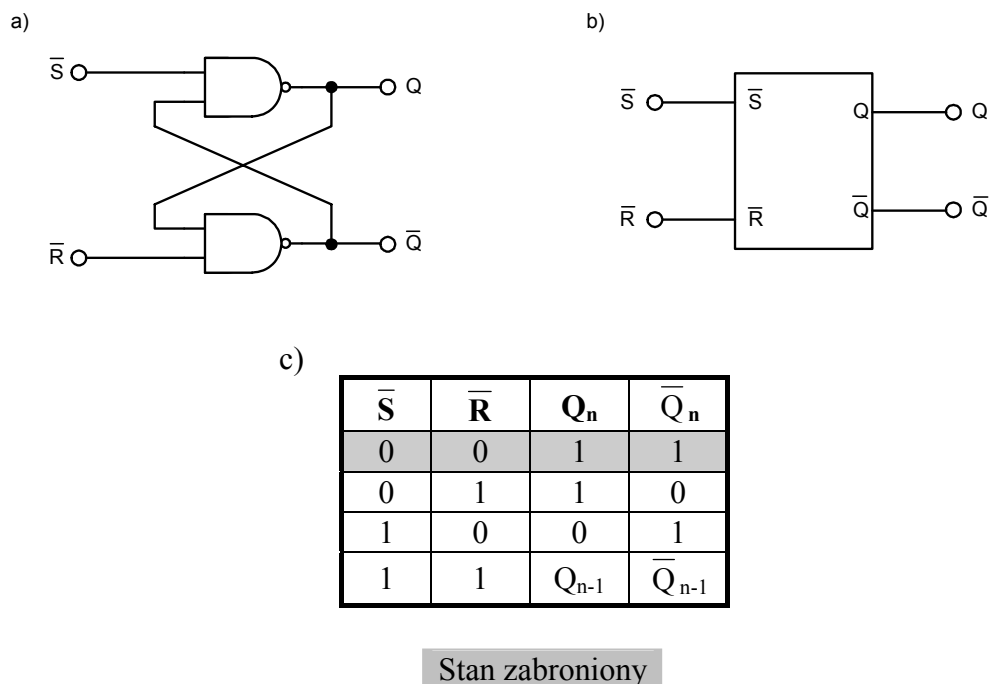
² czytaj kano

Na szaro zaznaczono stan w którym oba wyjścia Q i \bar{Q} posiadają taki sam stan (w tym przypadku 0). Jest to tzw. stan zabroniony. W celu lepszego zrozumienia zasady działania układu należy zaznaczyć iż podanie 1 na dowolne wejście bramki NOR ustala na jej wyjściu stan równy 0. Symbole Q_n oraz Q_{n-1} oznaczają odpowiednio stan na wyjściu dla czasu $t = n$ oraz dla czasu $t = n-1$. Na dokładniejsze zrozumienie tabeli stanów pozwoli rys. 2.2.



Rys. 2.2 Przebiegi czasowe przerzutnika RS

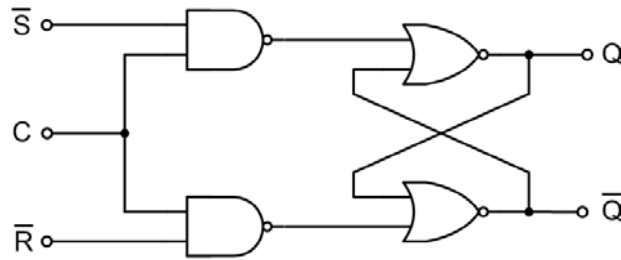
Na rysunku 2.3 przedstawiono przerzutnik RS zbudowany z bramek NAND o takiej samej tablicy stanów, jednak należy zauważyć, że teraz mamy do czynienia z zanegowanymi zmiennymi wejściowymi R i S.



Rys. 2.3 Przerzutnik RS zbudowany z bramek NAND (a), jego symbol graficzny (b) i tabela prawdy (c).

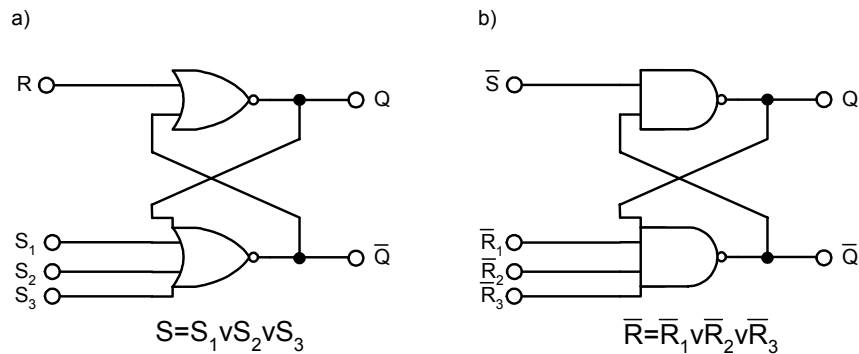
Analogicznie do układu na bramkach NOR podanie na wejście którejkolwiek z bramek NAND 0 ustala na jej wyjściu stan równy 1 (stąd oznaczenia \bar{S} i \bar{R} , gdyż 0 jest stanem aktywnym).

Budowę synchronicznego przerzutnika RS przedstawiono na rys. 2.4. Sygnały wejściowe \bar{S} i \bar{R} tego przerzutnika są przenoszone przez bramki wejściowe tylko gdy wejście sterujące C ma stan logiczny wysoki. Przerzutnik ten opisuje się takimi samymi tabelami jak przerzutnik asynchroniczny z rys. 2.3.



Rys. 2.4. Synchroniczny przerzutnik RS (tzw. zatraskowy)

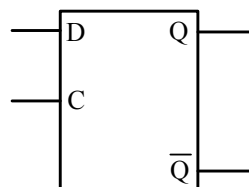
Na rys. 2.5 przedstawiono schematy wielowejściowych przerzutników typu RS, zbudowanych na bramkach NOR i NAND. Przerzutniki wielowejściowe są zbudowane z bramek, które mają więcej niż jedno wejście. W tych elementach wystarczy podać sygnał wymuszający na którekolwiek z wejść aby wysterować przerzutnik. Umożliwia to zerowanie i ustawianie przerzutnika przez kilka niezależnych źródeł sygnału. W przykładzie z rys. 2.5a, jeżeli na którekolwiek wejście bramki NOR podamy sygnał 1 wówczas niezależnie od wartości logicznych na pozostałych wejściach, na wyjściu tej bramki otrzymamy logiczne zero. Analogicznie jest z bramką NAND, tyle że ona da nam jedynkę gdy chociażby na jednym wejściu dostanie zero.



Rys. 2.5 Przykład wykorzystania bramek NOR (a) i NAND (b) do budowy przerzutników wielowejściowych

2.3 Przerzutniki typu D

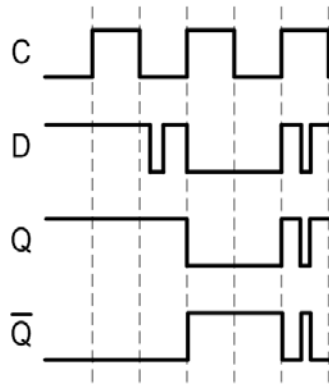
Jednym ze sposobów umożliwiających wyeliminowanie zabronionej sytuacji w synchronizowanym przerzutniku RS z rys. 2.4 jest wprowadzenie dodatkowego inwertera zapewniającego $R = \bar{S}$. Układ taki ma jedno wejście programujące i jest nazywany przerzutnikiem D typu „zatrask” (ang. data latch) .



D	Q _n
0	0
1	1

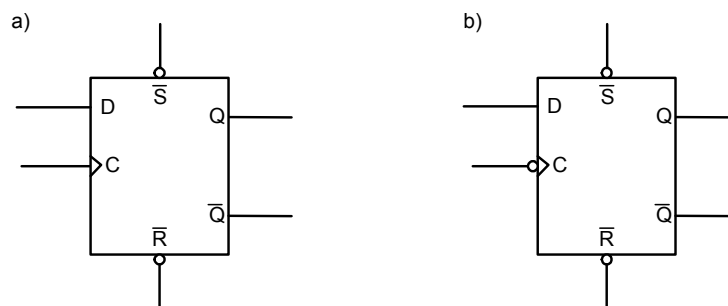
Rys. 2.6 Schemat logiczny przerzutnika typu D-latch oraz jego tabela prawdy

Przy stanie $C = 1$ przerzutnik staje się „przezroczysty” tzn. następuje przepisanie informacji z wejścia D na wyjście Q (oczywiście po czasie propagacji). Przebiegi czasowe dla tego przerzutnika przedstawiono na rys. 2.7. Układ jest produkowany w zestawie 4-krotnym ('75).



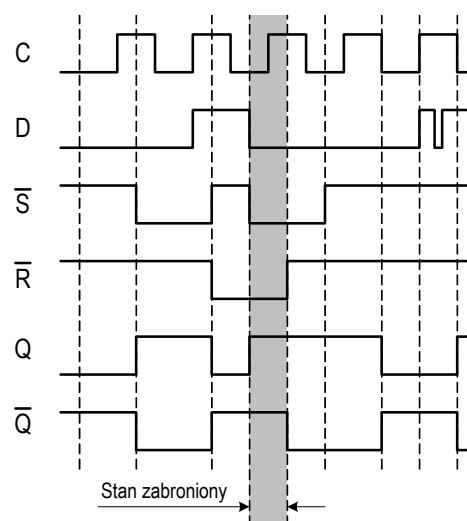
Rys. 2.7 Przebiegi czasowe przerzutnika D – latch aktywnego stanem wysokim

Symbole przerzutników wyzwalanych zboczem (narastającym lub opadającym) z możliwością ich asynchronicznego ustawienia przedstawiono na rys. 2.8. W postaci scalonej przerzutnik z rys. 2.8a jest zawarty w układzie '72 (dokładnie układ '72 zawiera 2 takie przerzutniki).



Rys 2.8 Symbole graficzne przerzutników D wyzwalanych zboczem narastającym (a) i opadającym (b) z wejściami programującymi \bar{S} , \bar{R}

Na rys 2.9 przedstawiono przebiegi czasowe dla przerzutnika typu D aktywnego zboczem opadającym. W odróżnieniu od przerzutnika wyzwalanego poziomem przerzutnik ten jest odporny na krótkotrwałe zakłócenia na wejściu informacyjnym (D).

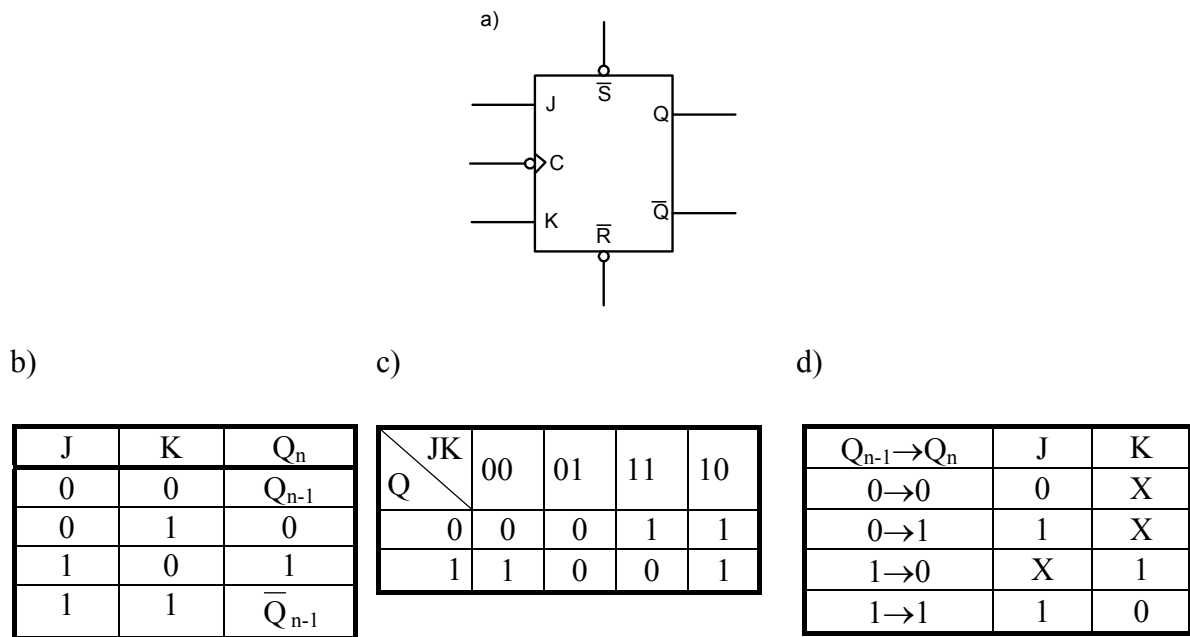


Rys. 2.9 Przebieg czasowy przerzutnika D aktywnego zboczem opadającym

2.4 Przerzutnik JK

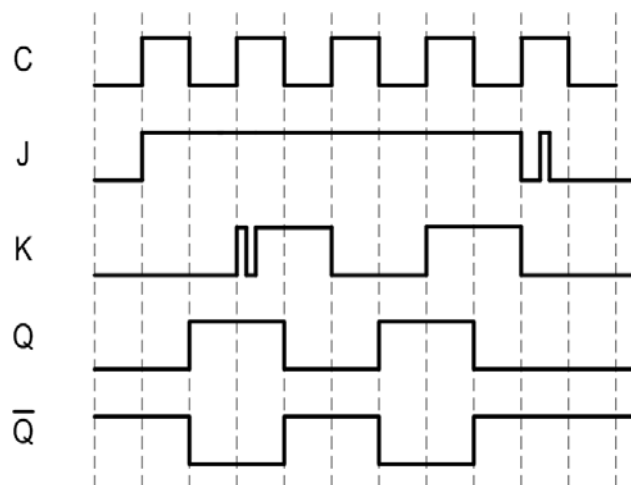
2.4.1 Przerzutnik JK wyzwalany zboczem

Przerzutnik JK może być uważany za rozwiniętą wersję przerzutników RS, gdyż mając podobne właściwości logiczne nie ma stanów wejściowych niedozwolonych. Jest zatem możliwe jednoczesne doprowadzenie do obu wejść zarówno sygnałów 1, jak i sygnałów 0. Symbol graficzny oraz jego tabele prawdy, przejść i wzbudzeń przedstawiono na rys. 2.10. Jeżeli do wejść informacyjnych przerzutnika zostaną doprowadzone sygnały o takich samych poziomach wówczas na wyjściu przerzutnika zostaną podtrzymane poprzednie stany dla $J=K=0$ (podobnie jak dla przerzutnika RS) lub stany na wyjściach zmienią się na przeciwne dla $J=K=1$ (w przerzutniku RS występował stan zabroniony).



X - Stan dowolny

Rys. 2.10 Symbol graficzny przerzutnika typu JK wyzwalanego zboczem opadającym (a) jego tabela prawdy (b) przejść (c) i wzbudzeń (d)



Rys. 2.11 Przebiegi czasowe przerzutnika JK aktywnego zboczem opadającym

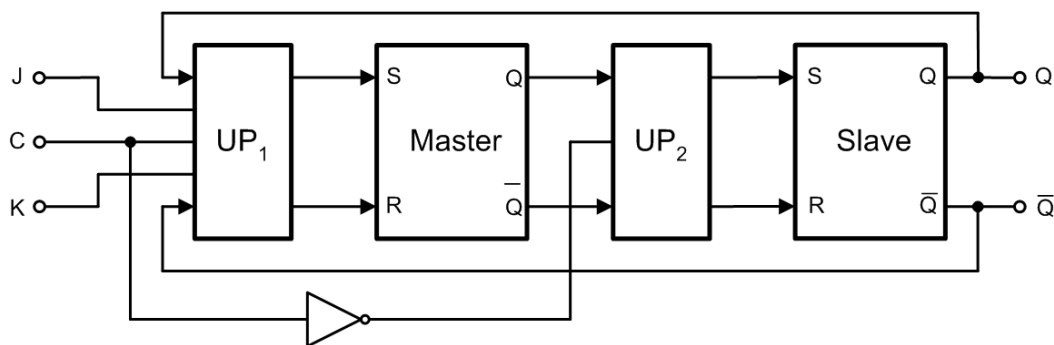
Na rys. 2.11 przedstawiono przebiegi czasowe dla przerzutnika JK wyzwalanego zboczem opadającym. W celu poprawy przejrzystości przebiegów czasowych celowo pominięto sygnały wejść asynchronicznych \bar{R} , \bar{S} . Ich wpływ jest identyczny jak na rys. 2.9. Układ typu '112 jest przykładem przerzutnika z rys. 2.10a. Nietrudno zauważyć, że zmiany na wejściach informacyjnych podczas trwania sygnału wysokiego bądź niskiego na wejściu zegarowym nie zmieniają sygnałów na wyjściu przerzutnika.

2.5.2 Dwuzboczowy przerzutnik JK Master - Slave

Działanie przerzutników dwuzboczowych typu Master – Slave zostanie omówione na podstawie przerzutnika JK-MS, którego schemat blokowy przedstawiono na rys. 2.12. W rozpatrywanym przerzutniku zastosowano dwa elementy pamięciowe (przerzutniki RS) połączone za pomocą kombinacyjnych układów pośredniczących UP_1 i UP_2 . Zadaniem układów pośredniczących jest blokowanie wejść danego stopnia na czas wpisywania informacji do drugiego stopnia. Sekwencja działania przerzutnika wygląda następująco:

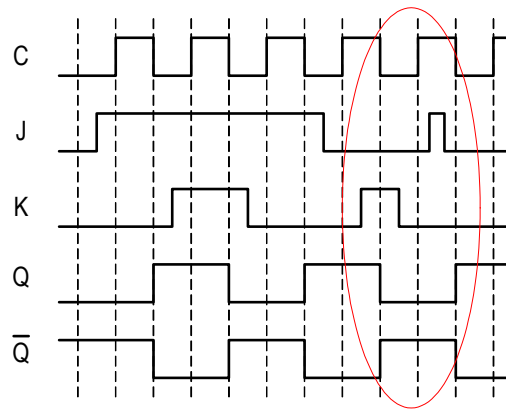
1. odcięcie wejść stopnia Slave (UP_2)
2. otwarcie wejść stopnia Master (UP_1) i wpisanie informacji wejściowej
3. odcięcie wejść stopnia Master (UP_1)
4. otwarcie wejść stopnia Slave i przepisanie informacji ze stopnia Master do stopnia Slave i przekazanie jej na wyjście przerzutnika

Czynności 1 i 2 występują w czasie trwania jednego zbocza sygnału zegarowego, natomiast czynności 3 i 4 podczas drugiego. W rozpatrywanym przerzutniku zmiana stanu przerzutnika Master odbywa się podczas zmiany poziomu z 0 na 1 na wejściu zegarowym, natomiast przepisanie informacji z przerzutnika M do S (Slave) podczas zmiany poziomu na tym wejściu z 1 na 0. Fakt, że przepisanie informacji do przerzutnika S odbywa się podczas zmiany poziomu z 1 na 0, jest przedstawiony na symbolu graficznym za pomocą kółka przy wejściu zegarowym.



Rys. 2.12 Schemat blokowy przerzutnika JK-MS

Aby przerzutnik JK – MS pracował poprawnie informacja wprowadzona do przerzutnika, gdy na wejściu zegarowym jest stan wysoki nie powinna się zmieniać. Przypadkowa zmiana stanu z 0 na 1 na wejściach informacyjnych w czasie trwania wysokiego stanu „zegara” może zmienić stan przerzutnika Master i następnie zostanie on przepisany do części Slave. Efekt ten nazywa się „łapaniem jedynek” (ang. *one catching*). W układach praktycznych należy zadbać o to, aby stan 1 na wejściu C trwał możliwie krótko. Na rys. 2.13 przedstawiono przebiegi czasowe przerzutnika JK, w którym występuje efekt łapania jedynek.

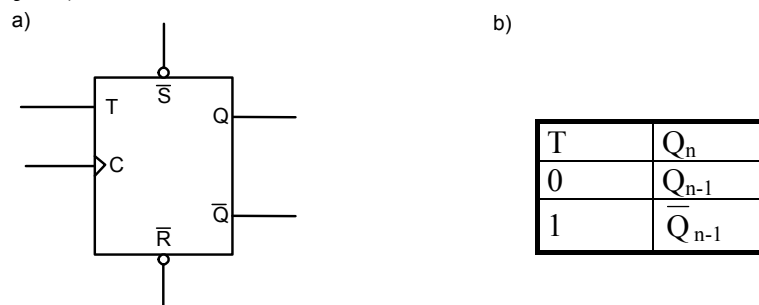


Rys. 2.13 Przebiegi czasowe przerzutnika JK-MS (na czerwono zaznaczono efekt łapania jedynek)

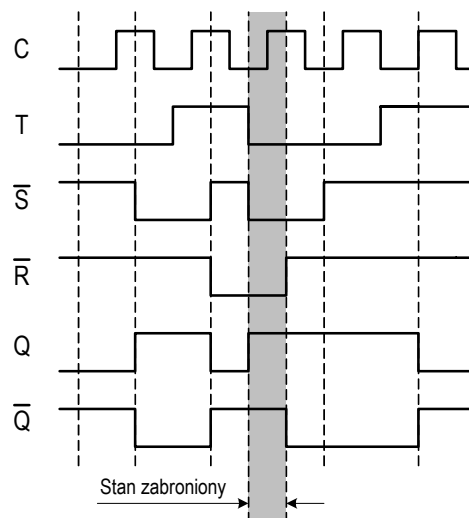
Wyżej wymieniony efekt występuje w starszych typach przerzutników np. '72. W przerzutnikach z blokowanymi wejściami informacyjnymi efekt ten nie występuje (np. w przerzutniku '110) i krótkotrwała zmiana sygnału na wejściu informacyjnym podczas trwania wysokiego poziomu sygnału zegarowego nie ma wpływu na sygnał wyjściowy.

2.6 Przerzutnik T

Symbol graficzny przerzutnika typu T wraz z tabelą prawdy przedstawiono na rys. 2.14. Jeżeli na wejściu informacyjnym (T) jest stan niski to następuje podtrzymanie poprzedniego stanu na wyjściu, natomiast gdy jest wysoki to następuje zmiana stanu na przeciwny (oczywiście gdy wejście zegarowe jest aktywne – w tym przypadku gdy wystąpi zbocze narastające).



Rys. 2.14 Schemat graficzny przerzutnika typu T (a) oraz jego tabela prawdy (b)

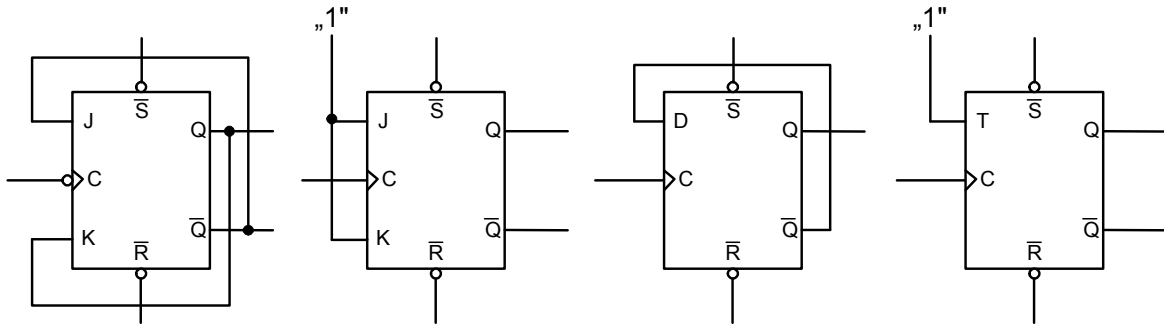


Rys. 2.14 Przebieg czasowy przerzutnika T aktywnego zboczem narastającym

3. KONWERSJE PRZERZUTNIKÓW

3.1 Konwersje przerzutników w dwójkę liczącą

Zadaniem dwójki liczącej jest zmiana stanu wyjściowego po każdym okresie zegara, co jest równoznaczne z podzieleniem częstotliwości zegara przez 2. Dwójkę liczącą możemy uzyskać z przerzutników różnego typu (np. JK, D lub T). Na rys. 3.1 przedstawiono kilka przykładów dwójki liczącej.



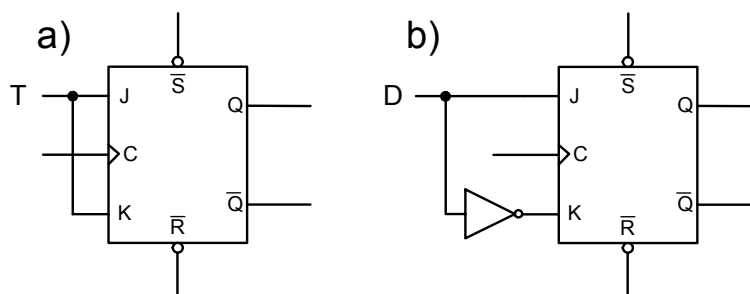
Rys. 3.1 Przykłady konwersji przerzutników na dwójkę liczącą.

Uwaga:

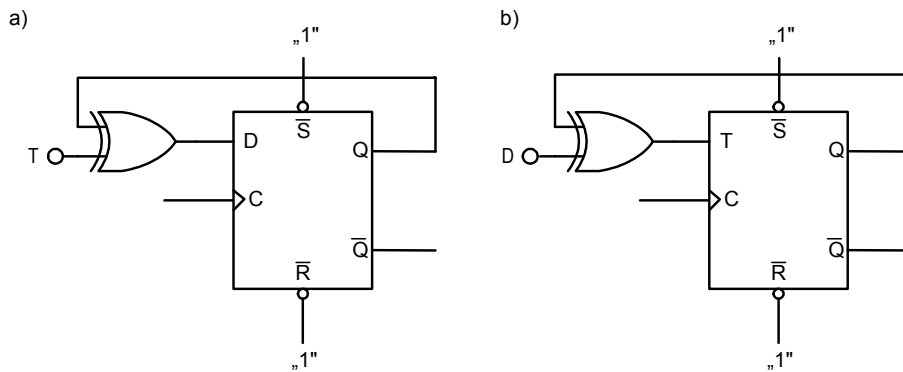
Należy pamiętać, że przerzutnik D użyty do zbudowania dwójki liczącej nie może być wyzwalany poziomem gdyż w takiej konfiguracji przy aktywnym poziomie na wejściu zegarowym na wyjściu otrzymamy drgania o okresie równym podwojonemu czasowi propagacji przerzutnika

3.2 Inne konwersje przerzutników

Przerzutnik JK jest elementem dającym największe możliwości przekształcania w inne przerzutniki. Związane jest to z istnieniem dwóch wejść informacyjnych. Przykład wykorzystania przerzutnika JK do budowy przerzutników D i T przedstawiono na rys. 3.2. Natomiast na rys. 3.3 przedstawiono konwersje przerzutników D w T oraz T w D. Jak widać do konwersji przerzutników wykorzystano dodatkową bramkę EX-OR.



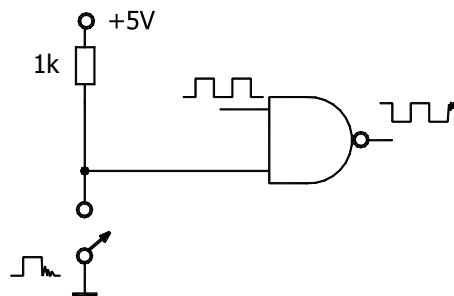
Rys. 3.2 Przykład konwersji przerzutnika JK w przerzutnik typu T (a) i przerzutnik typu D (b)



Rys. 3.3 Przykład konwersji przerzutnika D w przerzutnik T (a) oraz przerzutnika T w przerzutnik D (b)

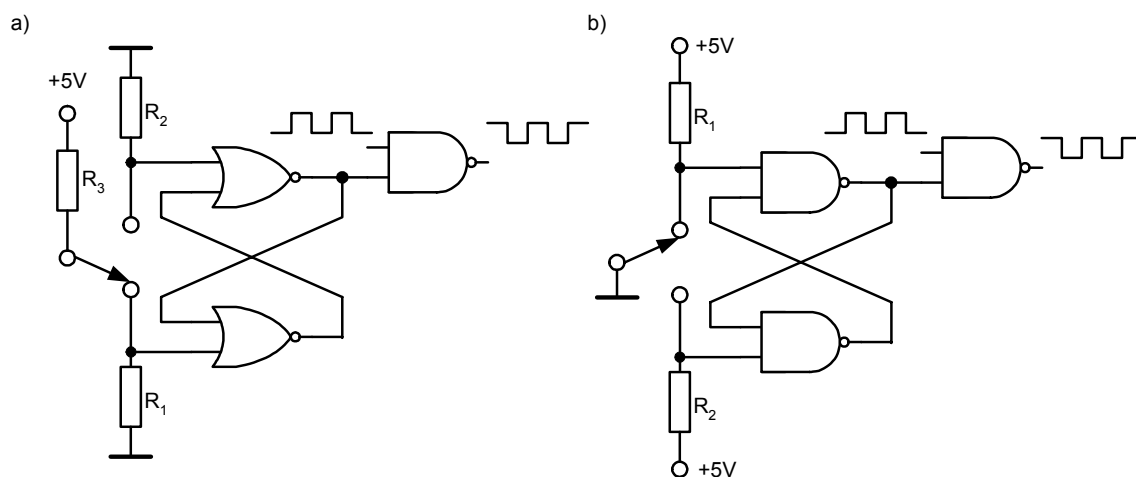
4. TLUMIENIE DRGAŃ ZESTYKÓW

Zadaniem układu przedstawionego na rys. 4.1 jest blokowanie lub odblokowanie bramki do której doprowadzono impulsy wejściowe.



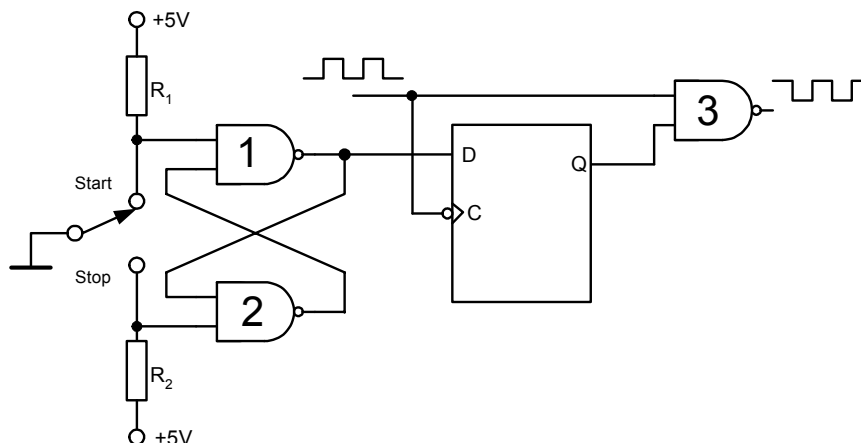
Rys. 4.1 Przykład występowania drgań zestyków przełącznika i ich przenoszenia do dalszych stopni układu

Główny problem tego układu to drgania zestyków przełącznika. Kiedy przełącznik zostaje zamknięty, jego zestyki rozwierają się i zwierają wielokrotnie przez około 1ms. W efekcie uzyskuje się przebieg o kształcie przedstawionym na rysunku powyżej. Licznik lub rejestr przesuwający, do którego wejścia doprowadzono by ten sygnał, odpowiedziałby wiernie na wszystkie dodatkowe impulsy spowodowane przez drgania zestyków. Do eliminacji tych drgań stosuje się m.in. opisany w rozdziale 2.2 przerzutnik RS. Przykłady jego zastosowania przedstawiono na rys. 4.2.



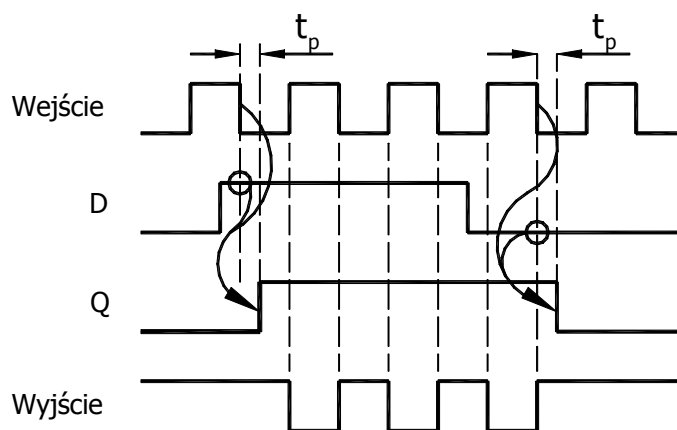
Rys. 4.2 Układ do tłumienia drgań zestyków a) na bramkach NOR oraz b) NAND

Przerzutnik zmienia stan, kiedy zestyki zwierają się po raz pierwszy. Następujące później odbicia zestyków są nieistotne (w trakcie drgań przełącznik dwupołożeniowy nigdy nie wraca do przeciwnego położenia) i sygnał wyjściowy nie zawiera już dodatkowych impulsów. Zarówno przełącznik z rys.4.1 jak i układ z przerzutnikiem posiadają wadę: otwierają lub zamykają bramkę w momencie zmiany położenia przełącznika niezależnie od fazy sygnału wejściowego, co powoduje, że pierwszy lub ostatni impuls może zostać skrócony. W zastosowaniach, w których to ma znaczenie, stosuje się układ synchronizujący działanie przełącznika w stosunku do ciągu impulsów. Przykład taki stanowi układ z rys. 4.3.



Rys. 4.3 Układ synchronizujący przerzutnik z ciągiem impulsów

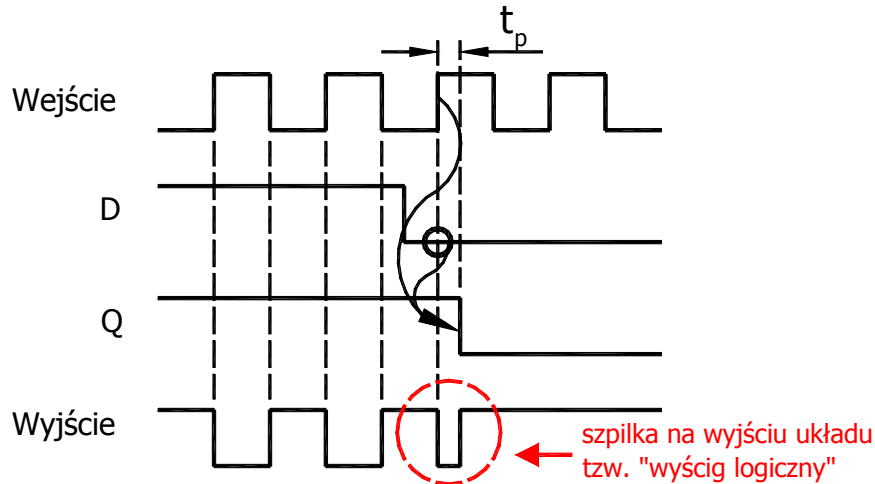
Przełącznik w pozycji „start” wymusza na wyjściu bramki 1 stan wysoki, ale Q pozostaje w stanie niskim aż do nadejścia następnego opadającego zbocza impulsu zegarowego. Stan na wyjściu przerzutnika D ustala się po jego czasie propagacji t_p . W ten sposób przez bramkę 3 typu NAND przechodzą jedynie całe impulsy sygnału taktującego (rys. 4.4). Na rysunku celowo nie zaznaczono czasu propagacji bramki wyjściowej NAND, by nie komplikować zbytnio rysunku.



Rys.4.4 Przykładowe przebiegi czasowe dla układu z rys. 4.3; t_p – czas propagacji przerzutnika D

Rozważmy teraz ten sam układ, ale z przerzutnikiem wyzwalanym zboczem narastającym. Przeprowadzając analizę dla takiego układu, dojdziemy do wniosku, iż START działa dokładnie tak samo jak w poprzednim układzie, natomiast przełączenie w pozycję STOP, w czasie, gdy na wejściu zegarowym jest stan niski, powoduje powstanie „szpilki” (ang. glitch) na wyjściu układu (rys. 4.5). Spowodowane jest to tym, iż bramka NAND nie jest zablokowana dopóki na wyjściu przerzutnika nie ustali się stan niski, co nastąpi z

opóźnieniem około 20 ns dla układów HC i LS-TTL. Jednocześnie jest to charakterystyczny przykład „wyścigu logicznego”. Jak pokazuje przykład, takich sytuacji można uniknąć. Szpilki takie są trudne do zaobserwowania na oscyloskopie i niekiedy nawet można nie wiedzieć o ich istnieniu. Mogą przypadkowo wyzwać dalsze przerzutniki, a także wydłużać się lub skracać aż do zagubienia przy przejściach przez bramki lub inwertery.

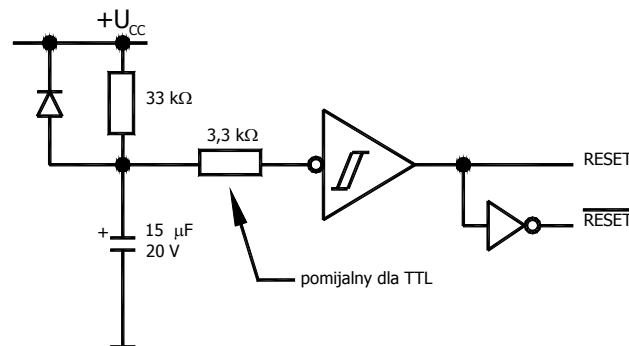


Rys.4.5 Rezultat wyścigów logicznych - wąski impuls, w przypadku zastosowań przerzutnika typu D wyzwalanego zboczem narastającym z rys. 4.3.

5. PROBLEMY STATYCZNE I DYNAMICZNE

5.1 Problemy statyczne

Przy projektowaniu układów logicznych należy wystrzegać się pułapki, polegającej na zatrzymaniu układu w martwym stanie. Przypuśćmy, że mamy urządzenie zawierające pewną liczbę przerzutników, które przechodzą przez właściwe stany tak, że wszystko wydaje się pracować poprawnie. Problem pojawia się w przypadku zakłócenia w systemie, które może wprowadzić go w stan zabroniony (w stan z którego nie można wyjść). Dlatego bardzo ważne jest dokładne zbadanie projektowanego układu i odszukanie wszystkich stanów zabronionych oraz takie przeorganizowanie systemu, aby mógł on automatycznie wydostać się z tej pułapki. Minimum, które należy zapewnić, to wprowadzenie sygnału RESET (wytwarzanego ręcznie, po włączeniu zasilania itp.), który wprowadzi system w stan początkowy. Na rys. 5.1 przedstawiono odpowiedni układ.



Rys. 5.1 Wytwarzanie impulsu ustawiającego system w stan początkowy po włączeniu zasilania

W przypadku stosowania układów CMOS koniecznie należy użyć szeregowego rezystora, który zabezpiecza te układy przed zniszczeniem przy wyłączaniu zasilania (naładowany kondensator elektrolityczny wymusza przepływ prądu przez diodę zabezpieczającą wejście układu CMOS – patrz rys. 4.4 bramki).

5.2 Problemy dynamiczne

5.2.1 Wyścigi logiczne

Sam schemat powstawania „wyścigów logicznych” został omówiony w rozdziale 4. Właściwie w każdej sytuacji, gdy bramki są odblokowane sygnałami przychodzącymi z przerzutników (lub innych układów taktowanych zegarem), trzeba się upewnić, że żadna z nich nie zostaje odblokowana i ponownie zablokowana po opóźnieniu odpowiadającym czasowej propagacji sygnału przez przerzutnik. Podobnie trzeba się upewnić, że sygnały na wejściach przerzutników nie są opóźnione w stosunku do impulsów taktujących.

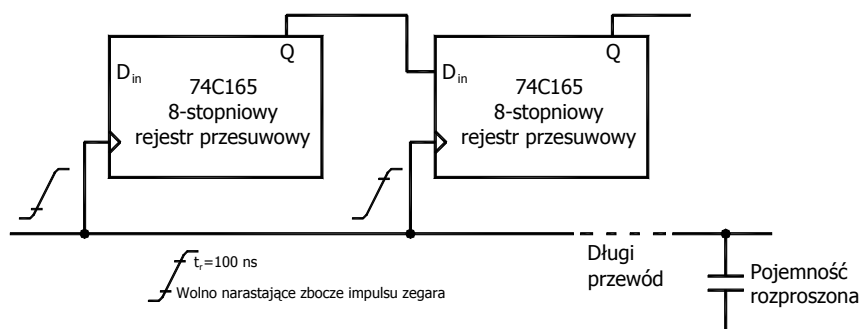
5.2.2 Stany metastabilne

Przerzutnik lub inny układ sekwencyjny może stracić orientację, jeżeli dane zmieniają się w czasie ustalenia t_s , poprzedzającym pojawienie się impulsu zegara. Wszystko jest dobrze, gdy przerzutnik znajdujący się w tej niejasnej sytuacji przejdzie do jakiegokolwiek określonego stanu. Jednakże istnieje prawdopodobieństwo, że napięcie wejściowe będzie się zmieniać w najbardziej niekorzystnym przedziale czasu, gdy stan wejściowy oddziałuje na stan przerzutnika. Wtedy przerzutnik nie jest w stanie powziąć żadnej decyzji i poziom napięcia na jego wyjściu może trwać w zawieszeniu w okolicy progu przełączenia nawet przez kilka mikrosekund (podczas gdy normalny czas propagacji wynosi dla układu HCT i LS-TTL ok. 20 ns), lub przerzutnik może ustalić jakiś stan na wyjściu, lecz po chwili samoistnie może zmienić ten stan na przeciwny. Problem ten nie pojawia się w poprawnie zaprojektowanych układach synchronicznych, w których spełniono wymagania odnośnie czasu ustalenia (przez stosowanie tak szybkich układów cyfrowych, aby stany na wejściach przerzutników nie zmieniały się w czasie t_s przed nadejściem zbocza impulsu zegarowego). Jednakże nie da się go uniknąć w sytuacjach, gdy muszą być zsynchronizowane sygnały asynchroniczne (np. sygnał z urządzenia A, pracujący z własnym zegarem, musi być dołączony do urządzenia B pracującego z zegarem o innej częstotliwości). W takich właśnie przypadkach nie można zagwarantować, że zmiana stanu na wejściu nie nastąpi w czasie, gdy dane powinny być ustalone. Zapobieganie polega na stosowaniu powiązanych ze sobą układów synchronizujących albo „detektora stanów metastabilnych”, który zeruje przerzutnik. Świadomość tego problemu rośnie, stąd produkowane są serie układów charakteryzujące się brakiem stanów metastabilnych.

5.2.3 Nachylenie zboczy impulsów zegara

Nachylenie impulsów zegara ma większe znaczenie dla układów CMOS niż TTL. Elementy CMOS charakteryzują się dużym rozrzutem wartości wejściowego napięcia progowego (wg specyfikacji próg ten mieści się pomiędzy 1/3 a 2/3 napięcia zasilania. Problem nachylenia zboczy pojawia się, gdy wspólny sygnał o długim czasie narastania taktuje kilka połączonych urządzeń. Przykładem mogą być dwa rejestry przesuwające taktowane tym samym sygnałem zegarowym (rys. 5.2), o zboczach impulsów spowolnionych w skutek istnienia pojemności obciążającej wyjście układu CMOS o stosunkowo dużej impedancji (500Ω dla napięcia zasilania +5V). Problem polega na tym, że próg przełączenia drugiego rejestru, może być wyższy niż próg przełączania pierwszego rejestru, co będzie powodować wcześniejsze przesuwanie danych umieszczonych w pierwszym rejestrze,

wskutek czego można stracić informację znajdującą się na ostatniej pozycji pierwszego rejestru. Najlepszy sposób zapobiegania takiej sytuacji polega na stosowaniu blisko położonych układów i unikaniu nadmiernych obciążeń pojemnościowych linii taktujących. Oraz przestrzegać by sygnały zegarowe zakłócone szumami bądź dzwonieniem były zawsze oczyszczone przez przepuszczenie ich przez bramkę z histerezą na wejściu zanim zostaną doprowadzone do wejść układów taktujących.



Rys. 5.2 Wolne narastanie sygnału powoduje przesunięcie momentu wyzwalania przerzutnika

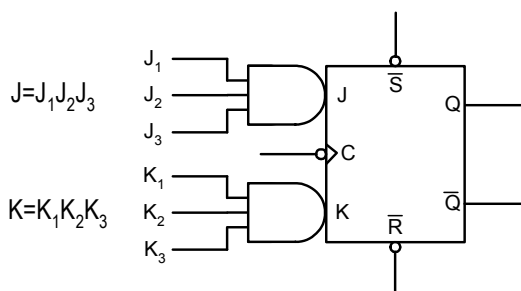
Największe prawdopodobieństwo pojawienia się problemów z liniami zegarowymi występuje przy ich dołączeniu do kolejnych płytek drukowanych oraz gdy linia zegarowa obsługuje układy z różnych rodzin. Na przykład, jeśli sygnał wyjściowy powolnego układu typu 4000B lub 74C będzie przełączał szybszy układ typu HC, na pewno pojawią się problemy związane z nachyleniem zboczy impulsów zegara oraz wielokrotne przerzuty.

6. BUDOWA I PARAMETRY SCALONYCH PRZERZUTNIKÓW 7472, 7474, 7475

Ponieważ program zajęć przewiduje badanie przerzutników typu 7474, 7475 oraz 7472 więc ograniczono się jedynie do ich opisu.

6.1. Układ 7472 - przerzutnik JK Master

Monolityczny układ scalony 7472 jest przerzutnikiem JK-MS. W odróżnieniu od opisanego w podrozdziale 2.4 posiada programowalne wejścia J i K ($J=J_1J_2J_3$, $K=K_1K_2K_3$). Jego istotną wadą jest brak blokowanych wejść informacyjnych przez co podatny jest na efekt łapanie jedynek. Podstawowe parametry przerzutnika przedstawiono w tab. 6.1, 6.2.



Rys. 6.1 Symbol graficzny i tabela prawdy przerzutnika 7472.

Parametry		Symbol	Wartość		
Nazwa			min	typ	max
Napięcie zasilania		U_{cc} [V]	4,75	5,0	5,25
Obciążalność każdego wyjścia w stanie niskim		N_L			10
Obciążalność każdego wyjścia w stanie wysokim		N_H			20
Czas trwania impulsu na wejściach	\overline{C}	t_{wC} [ns]	20		
	\overline{R}	t_{wR} [ns]	25		
	\overline{S}	t_{wS} [ns]	25		
Czas ustalenia impulsu na wejściu \overline{C}		t_s [ns]	20		
Czas utrzymania impulsu na wejściu \overline{C}		t_h [ns]	0		
Zakres temperatury otoczenia		t_{amb} [°C]	0		70

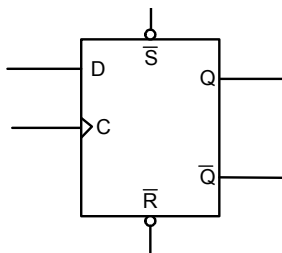
Tab. 6.1 Zalecane warunki pracy dla układu UCY 7472

Nazwa parametru	Symbol	Wartość		
		min	typ	max
Dopuszczalna częstotliwość zegarowa	f_{max} [MHz]	15	20	
Czas propagacji sygnału do stanu niskiego na wyjściu od wejścia \overline{R} lub \overline{S}	t_{PHL} [ns]		25	40
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejścia \overline{R} lub \overline{S}	T_{PLH} [ns]		16	25
Czas propagacji sygnału do stanu niskiego na wyjściu od wejścia \overline{C}	t_{PHL} [ns]	10	25	40
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejścia \overline{C}	t_{PLH} [ns]	10	16	25

Tab. 6.2 Parametry dynamiczne przy $U_{cc}=5[V]$ i $t_{amb}=25[°C]$

6.2 Układ 7474 – dwukrotny przerzutnik typu D

Przerzutnik typu D ma wejście informacyjne D, wejścia zegarowe C oraz dwa wejścia ustawiające \overline{S} i \overline{R} , które działają niezależnie od wejścia zegarowego (rys. 6.2). Wystąpienie stanu niskiego na wejściu \overline{S} spowoduje ustawienie 1 na wyjściu Q, natomiast podanie stanu niskiego na \overline{R} spowoduje pojawienie się 0 na wyjściu Q bez względu na sygnał zegarowy. Podstawowe parametry przerzutnika przedstawiono w tab. 6.3, 6.4.



Rys.6.2 Symbol graficzny przerzutnika 7474

Parametry		Symbol	Wartość		
Nazwa			min	nom	max
Napięcie zasilania		U_{cc} [V]	4,75	5,0	5,25
Obciążalność każdego wyjścia w stanie niskim		N_L			10
Obciążalność każdego wyjścia w stanie wysokim		N_H			20
Czas trwania impulsu na wejściach	\overline{C}	t_{wC} [ns]	30		
	\overline{R}	t_{wR} [ns]	30		
	\overline{S}	t_{wS} [ns]	30		
Czas ustalenia impulsu na wejściu D		t_s [ns]	20		
Czas przetrzymania impulsu na wejściu D		t_h [ns]	5		
Zakres temperatury otoczenia		t_{amb} [°C]	0		70

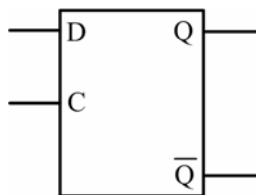
Tab. 6.3 Zalecane warunki pracy dla układu UCY 7474

Nazwa parametru	Symbol	Wartość		
		min	typ	max
Dopuszczalna częstotliwość zegarowa	f_{max} [MHz]	15	20	
Czas propagacji sygnału do stanu niskiego na wyjściu od wejścia \overline{R} lub \overline{S}	t_{pHL} [ns]		25	40
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejścia \overline{R} lub \overline{S}	t_{pLH} [ns]		16	25
Czas propagacji sygnału do stanu niskiego na wyjściu od wejścia \overline{C}	t_{pHL} [ns]	10	25	40
Czas propagacji sygnału do stanu wysokiego na wyjściu od wejścia \overline{C}	T_{pLH} [ns]	10	16	25

Tab. 6.4 Parametry dynamiczne przerzutnika 7474 przy $U_{CC}=5V$ i $t_{amb}=25^{\circ}C$

6.3 Układ 7475 – przerzutnik D „latch” (zatrask)

Przerzutnik D typu „latch” (rys. 6.3) jest wyzwalany poziomem. Przerzutnik ten różni się od poprzedniego tym, że w czasie, gdy na jego wejściu zegarowym panuje napięcie o poziomie jedynki logicznej, wejście informacyjne D oddziałuje bezpośrednio na wyjście Q. Wszystkie zmiany stanów wejścia D zachodzące w tym czasie są natychmiast powtarzane przez stany wyjścia Q. Kiedy stan „zegara” zmieni się z 1 na 0, wyjście Q pozostaje w stanie logicznym, odpowiadającym stanowi wejścia D występującemu bezpośrednio przed pojawieniem się tej zmiany.



Rys. 6.3 Symbol przerzutnika D-latch

Stan wyjścia Q nie ulega zmianie tak długo, jak długo napięcie wejścia zegarowego nie wzrośnie ponownie do poziomu jedynki logicznej. Taka odmiana przerzutnika znajduje zastosowanie głównie w układach pamięciowych i rejestrach okresowo przechowujących informację. **Wadą układu jest to, że w stanie 1 przebiegu taktującego na wyjście układu przenoszą się wszystkie zmiany stanu wejścia D (również zakłócenia).** Podstawowe parametry przerzutnika przedstawiono w tab. 6.5 i 6.6.

Parametry	Symbol	Wartość		
		min	Nom	max
Napięcie zasilania	U_{cc} [V]	4,75	5,0	5,25
Obciążalność każdego wyjścia w stanie niskim	N_L			10
Obciążalność każdego wyjścia w stanie wysokim	N_H			20
Czas trwania impulsu na wejściu T	t_w [ns]	20		
Czas ustalenia na wejściu D w stanie niskim	t_{sL} [ns]	20		
Czas ustalenia na wejściu D w stanie wysokim	t_{sH} [ns]	20		
Czas przetrzymania na wejściu D w stanie niskim	t_{hL} [ns]	5		
Czas przetrzymania na wejściu D w stanie wysokim	t_{hH} [ns]	5		
Zakres temperatury otoczenia	T_{amb} [°C]	0		70

Tab 6.5 Zalecane warunki pracy dla układu UCY 7475

Nazwa parametru	Symbol	Wartość		
		min	typ	max
Czas propagacji sygnału do stanu niskiego na wyjściu Q od wejścia D	$t_{pHL}[\text{ns}]$		14	25
Czas propagacji sygnału do stanu wysokiego na wyjściu Q od wejścia D	$t_{pLH}[\text{ns}]$		16	30
Czas propagacji sygnału do stanu niskiego na wyjściu \overline{Q} od wejścia D	$t_{pHL}[\text{ns}]$		7	15
Czas propagacji sygnału do stanu wysokiego na wyjściu \overline{Q} od wejścia D	$t_{pLH}[\text{ns}]$		24	40
Czas propagacji sygnału do stanu niskiego na wyjściu Q od wejścia T	$t_{pHL}[\text{ns}]$		7	15
Czas propagacji sygnału do stanu wysokiego na wyjściu Q od wejścia T	$t_{pLH}[\text{ns}]$		16	30
Czas propagacji sygnału do stanu niskiego na wyjściu \overline{Q} od wejścia T	$t_{pHL}[\text{ns}]$		7	15
Czas propagacji sygnału do stanu wysokiego na wyjściu \overline{Q} od wejścia T	$t_{pLH}[\text{ns}]$		16	30

Tab. 6.6 Parametry dynamiczne przy $U_{cc}=5[\text{V}]$ i $t_{amb}=25[^\circ\text{C}]$

7. SPOSOBY POMIARU PARAMETRÓW DYNAMICZNYCH PRZERZUTNIKÓW

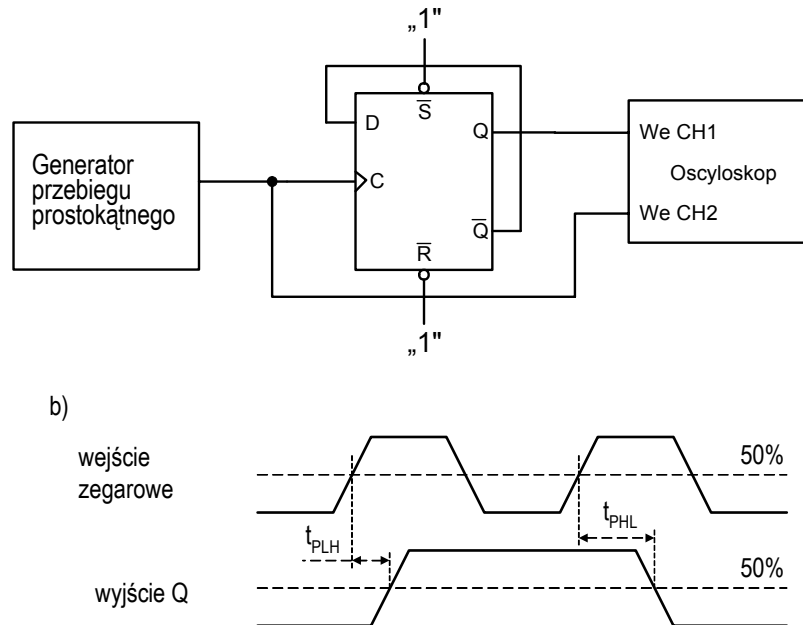
Do opisu właściwości dynamicznych przerzutników stosuje się następujące parametry, które zdefiniowano w rozdziale 1:

- * czas propagacji od wejść synchronicznych (wejścia zegarowego) do wyjść Q i \overline{Q} ,
- * czas propagacji od wejść asynchronicznych (\overline{S} - ustawiającego i \overline{R} - zerującego) do wyjść Q i \overline{Q} ,
- * czas ustalenia t_s ,
- * czas utrzymania t_h .

Do wykonania każdego pomiaru potrzebny będzie generator przebiegu prostokątnego (którego amplituda ma wartość zgodną z wartością stanu wysokiego w technice TTL), oscyloskop oraz układ obciążenia wyjść przerzutników. Opisane metody pomiaru dotyczą przerzutnika D zawartego np. w układzie UCY 7474, nie mniej z powodzeniem można je stosować np. dla przerzutnika JK MS pamiętając o rodzaju zbocza którym jest wyzwalany (zbocze opadające sygnału zegarowego).

7.1 Pomiar czasu propagacji od wejść synchronicznych (zegarowego)

Na wejście zegarowe podajemy sygnał z generatora, wejście D łączymy z wyjściem \bar{Q} (dwójka licząca na przerzutniku D), wejścia \bar{S} i \bar{R} podłączamy do stanu wysokiego. Obserwujemy przebiegi na wejściu C (WE CH2 oscyloskopu) i wyjściu Q (WE CH1 oscyloskopu). Dzięki temu możemy od razu wyznaczyć t_{pLH} i t_{pHL} a przez to czas propagacji t_p .



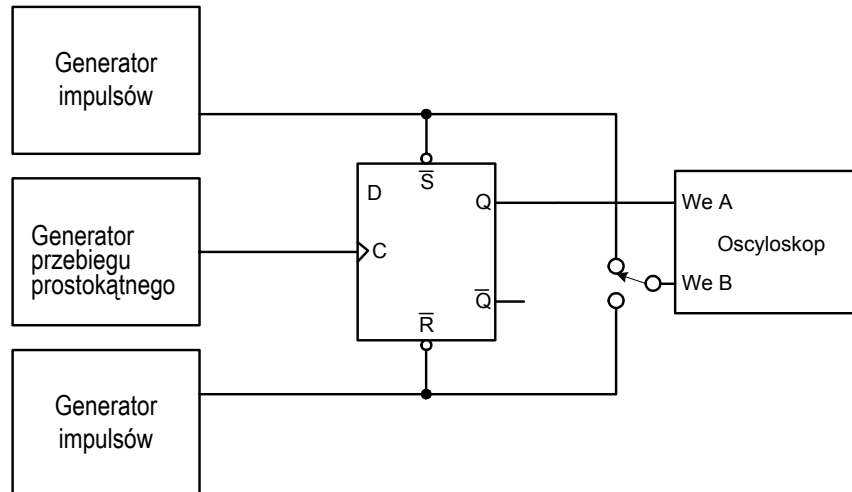
Rys. 7.1 Schemat blokowy układu do pomiaru czasu propagacji od wejścia zegarowego (a) oraz jego przebiegi czasowe (b)

7.2 Pomiar czasu propagacji od wejść asynchronicznych \bar{S} i \bar{R}

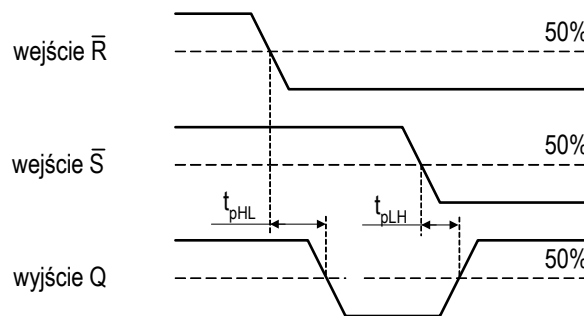
Schemat pomiarowy jest podobny do poprzedniego z tą różnicą, że stan na wyjściach Q i \bar{Q} jest wymuszany przez wejścia \bar{S} lub \bar{R} . Nie ma znaczenia jaki jest stan na wejściu C bądź D. Jeśli $\bar{S}=0$ to $Q=1$, natomiast gdy $\bar{R}=0$ to $Q=0$. Generator przebiegu prostokątnego musi ustawiać na wyjściu Q stan logiczny 0 (pomiar czasu propagacji od wejścia asynchronicznego \bar{S}) lub 1 (pomiar czasu propagacji od wejścia asynchronicznego \bar{R}).

Dla wejścia \bar{S} wyznaczamy t_{pLH} zaś dla wejścia \bar{R} wyznaczamy t_{pHL} .

a)



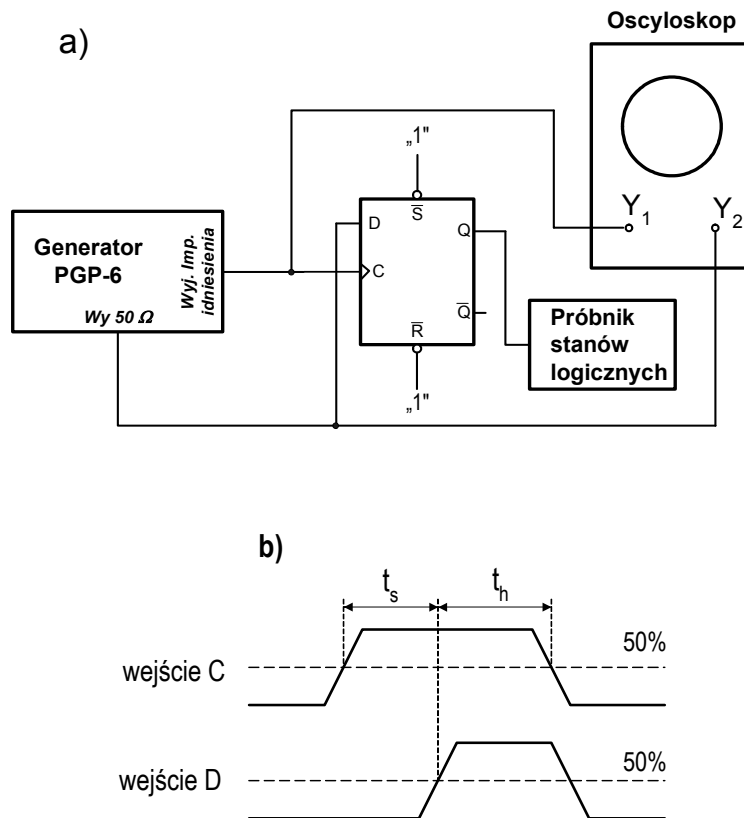
b)



Rys. 7.2 Układ pomiarowy czasu propagacji od wejść asynchronicznych \bar{S} i \bar{R} a) oraz przebiegi czasowe b).

7.3 Pomiary czasów ustalenia i utrzymania

Pomiarów czasu ustalenia dokonujemy w układzie według schematu zamieszczonego poniżej. Na wyjściu Q badamy jaki jest stan (np. za pomocą wskaźnika stanów). Czas ustalenia jest minimalnym czasem między 50% wartości sygnału na wejściu D a 50% wartości sygnału na wejściu C (na rysunku t_s) przy którym na Q jest jeszcze stan wysoki (jeśli przebiegi D i C są jak na rysunku). Innymi słowy stan na D musi się ustalić wcześniej (z określonym czasem - t_s), aby po nadejściu zbocza zegarowego mógł on wywierać wpływ na wyjście Q. Reasumując, aby zmierzyć czas ustalenia należy tak przesunąć czasowo sygnał na wejściu D w stosunku do sygnału na wejściu C (rys. 7.3 b), aby ustalić minimalny czas, który pozwala jeszcze ustalić na wyjściu przerzutnika stan logiczny „1”. Ten minimalny czas będzie czasem ustalenia. Przez analogię można wyznaczyć czas utrzymania t_h .



Rys 7.3 Układ pomiarowy czasu ustalenia i utrzymania (a) oraz przebiegi czasowe (b)

8. LITERATURA

1. P. Horowitz, W. Hill - "Sztuka elektroniki 1"
2. P. Horowitz, W. Hill - "Sztuka elektroniki 2"
3. M. Łakomy, J. Zabrodzki - "Cyfrowe układy scalone"
4. J. Pienkoś, J. Turczyński - "Układy scalone TTL w systemach cyfrowych"
5. J. Kalisz - "Cyfrowe układy scalone w technice systemowej"
6. P. Gajewski, J. Turczyński - "Cyfrowe układy scalone CMOS"
7. W. Głodzki, L. Grabowski - „Pracownia podstaw techniki cyfrowej”
8. W. Sasal – „Układy scalone serii UCY74LS i UCY74S”
9. W. Sasal – „Układy scalone serii UCA64/UCY74”
10. J. Kalisz – „Podstawy elektroniki cyfrowej”
11. Instrukcja do ćwiczeń